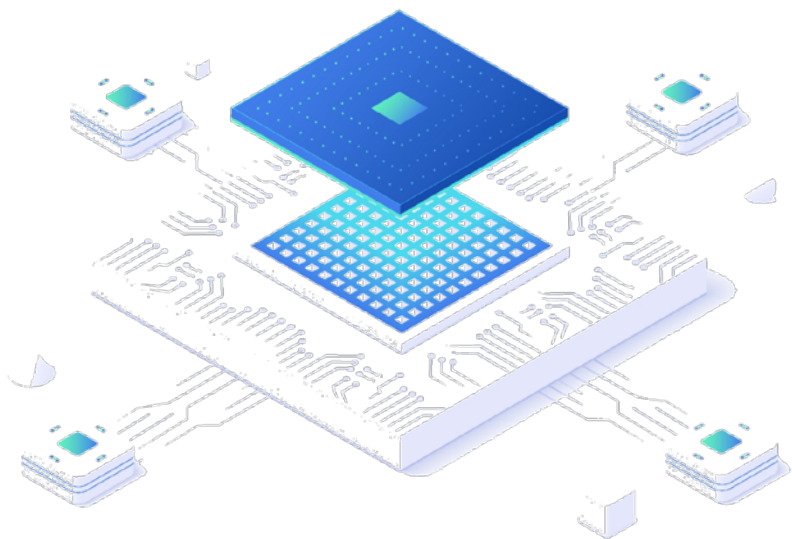


高效能晶片設計關鍵技術與創新應用計畫 說明會議程

時段	議程	報告人
09:30 ~ 10:00	報到	
10:00 ~ 10:05	長官致詞	國科會工程處 李志鵬 處長
10:05 ~ 10:25	國科會工程處「高效能晶片設計關鍵技術與應用計畫」 計畫徵求說明	國立中山大學電機工程學系(所) 王朝欽 專案召集人
10:25 ~ 10:30	TSRI「電路設計、晶片製作及先進封裝服務平台」	國研院台灣半導體研究中心 蔡瀚輝 組長
10:30 ~ 10:40	工研院「高速運算晶片開發與生成式AI應用」	工業技術研究院電子與光電系統研究所 謝明得 技術長
10:40 ~ 11:10	Q&A	國立中山大學電機工程學系(所) 王朝欽 專案召集人



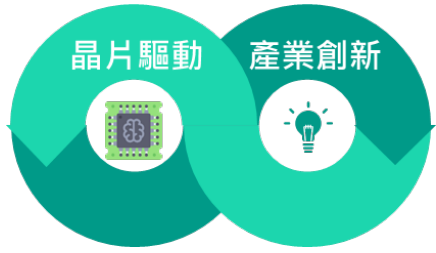
高效能晶片設計關鍵技術 與創新應用計畫

計畫期程：113 年05 月01 日至118年4月30 日

專案計畫說明會

2023.12. 20

政策依據



晶創臺灣方案布局未來科技國力

112年11月02日行政院第3878次會議通過「晶片驅動臺灣產業創新方案」。

趨勢

地緣政治
改變國際競合關係

各國競逐
掌握半導體產業

生成式AI
引發新工業革命

四大策略布局



願景

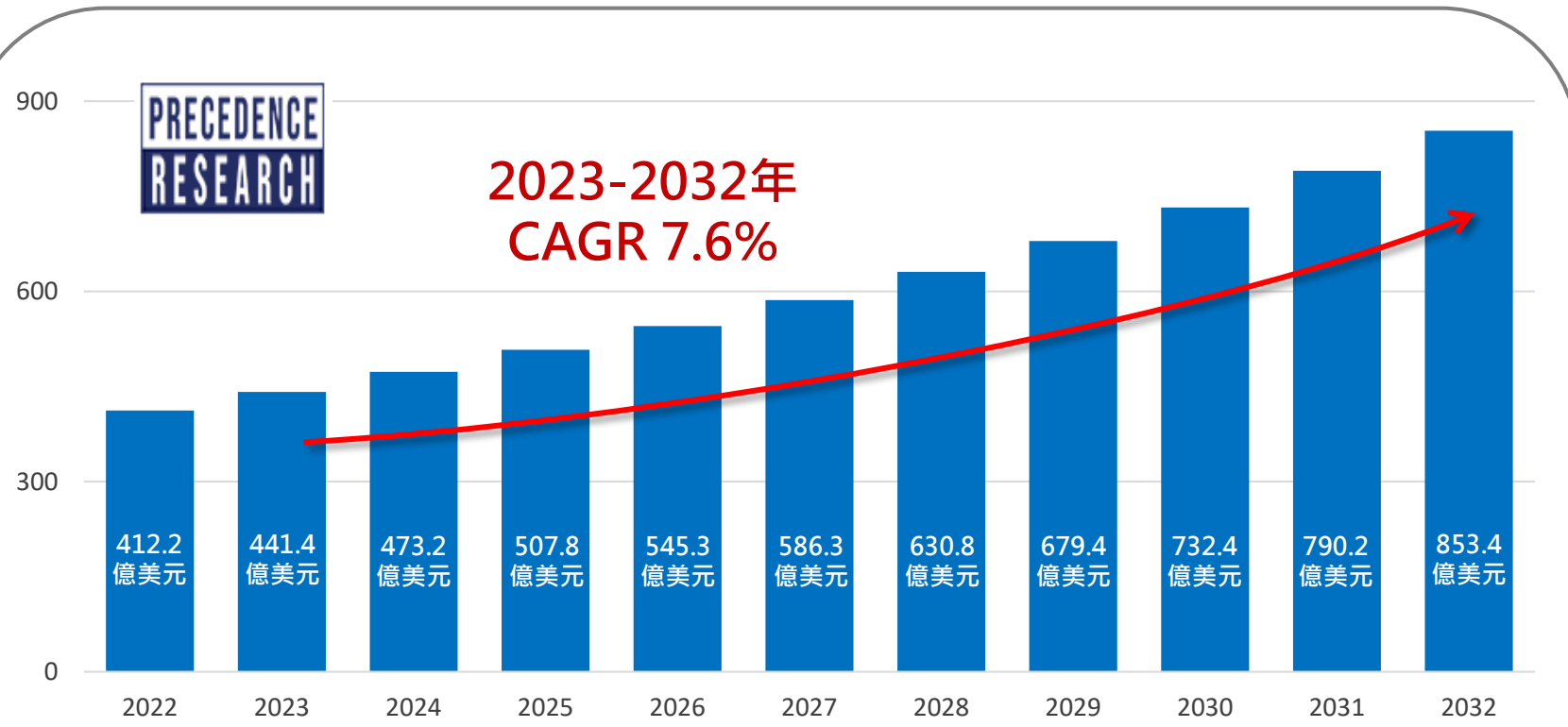
掌握晶片與生成式AI變革
驅動全產業超高速創新

培育、引進晶片人才與新創
奠基10-20年後的科技國力



高效能運算(HPC)全球市值預測

國際調研公司Markets and Markets、Future Market Insights(FMI)、Precedence Research的全球高效能運算(HPC)產值預測(2023-2032) → **CAGR 6%~7%**



資料來源：Precedence Research (2023.07).

產業應用



航空和國防



醫療保健



金融服務



媒體和娛樂



能源和公用事業



製造與其他工業

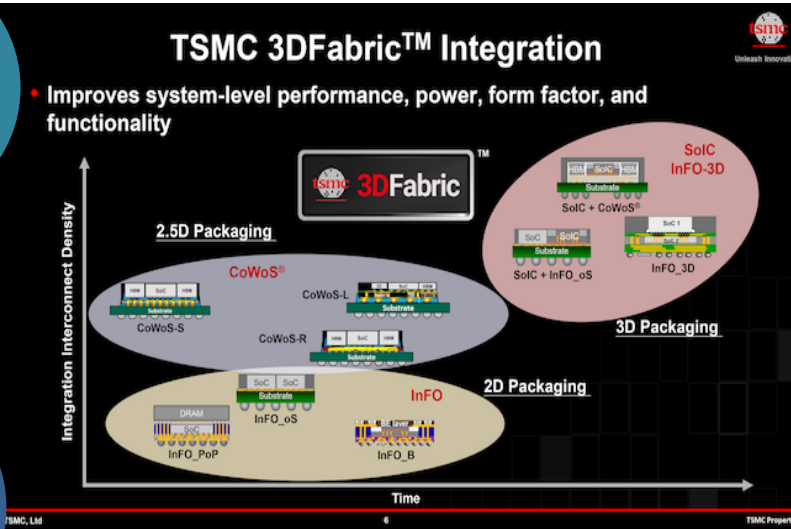
高運算技術背景或趨勢

技術背景

提升運算力

提升能源效率

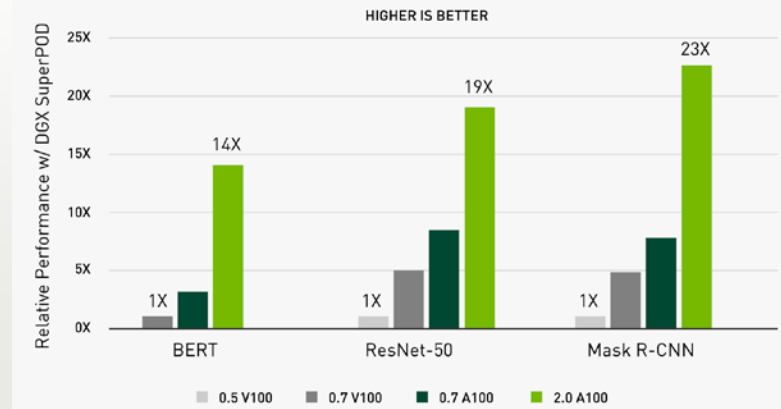
提升記憶體頻寬



資料來源：
<https://www.anandtech.com/show/17461/as-hpc-chips-grow-so-does-need-for-1kw-cooling>

大型語言模型(LLM)

- 超大模型：權重參數 > 100B
- 多維度輸入：> 10000 words
- MLPerf Benchmarks

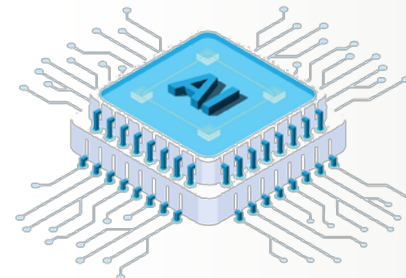


資料來源：<https://www.nvidia.com/zh-tw/data-center/resources/mlperf-benchmarks/>

AI邊緣應用之完整解決方案

- Edge Inferencing
- Edge Learning
- 驅動軟體
- 低耗能作業系統

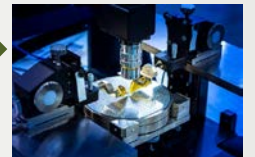
AI晶片邊緣應用及設計完整解決方案



未來生活及產業應用



智慧醫療



製程瑕疵檢測

高頻、高功率電路與模組技術背景或趨勢

技術背景

- 基板及磊晶結構的掌握
- 操作頻率及電壓的提升
- 操作效率及可靠度的增進

高頻及高功率模組趨勢

高頻

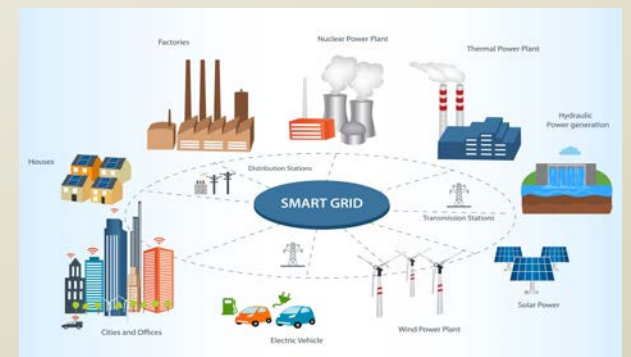


- W-band (75-110 GHz)
- D-band (110-170 GHz)

高功率



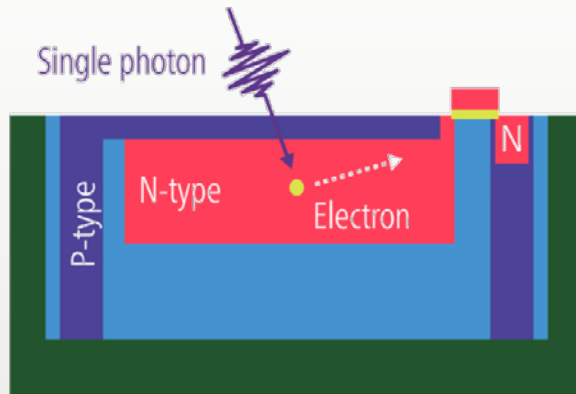
- 高壓 : 3300 V (system-level)
- 高速 : 輸出功率 = 50 W
功率密度 = 2500 W/in³
效率 = 90 %



高節能感測(影像)技術背景或趨勢

技術背景

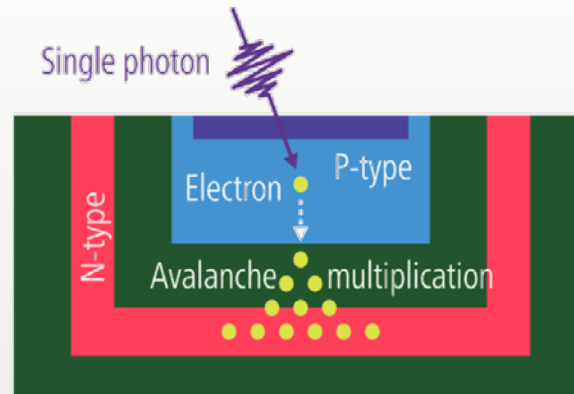
- 提升感測靈敏度
- 降低感測延遲時間
- 提升感測能源效率



approx. 1x multiplication

Possibility of noise causing inability to correctly detect photon entry, resulting in reduced accuracy.

CMOS sensor



approx. 1000000x multiplication

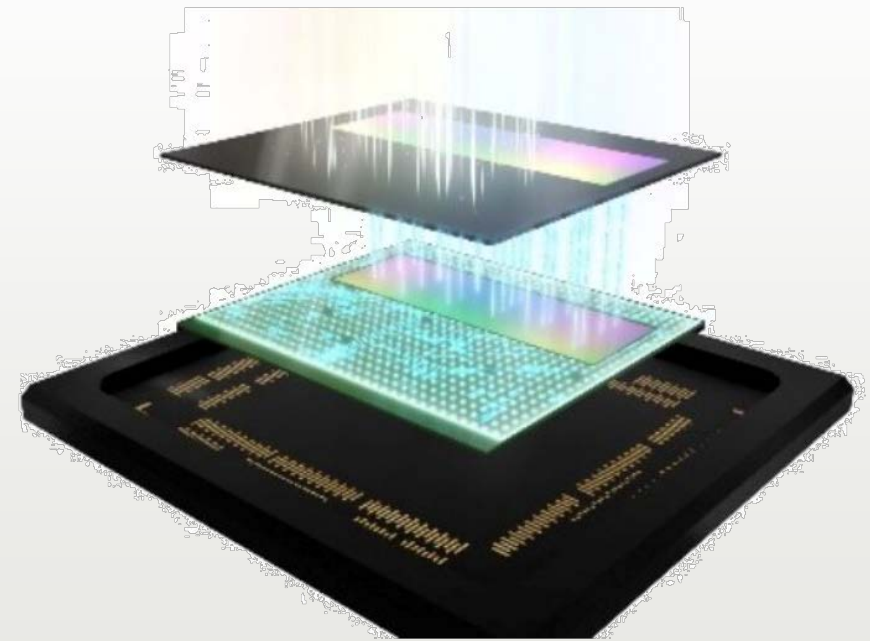
Correctly detects photon entry. More accurate information received per photon due to multiplication.

SPAD sensor

資料來源：<https://global.canon/en/technology/spad-sensor-2021.html>

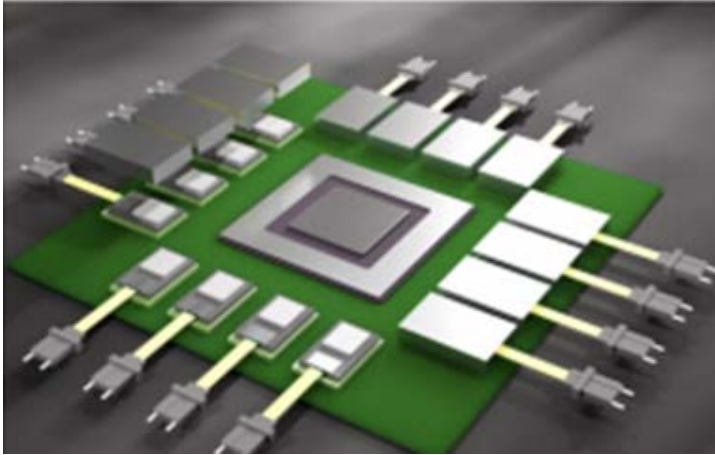
影像感測趨勢

- 超高解析度： $\geq 4K$
- 3維立體感測： $< 1cm$
- 超高輸出頻寬

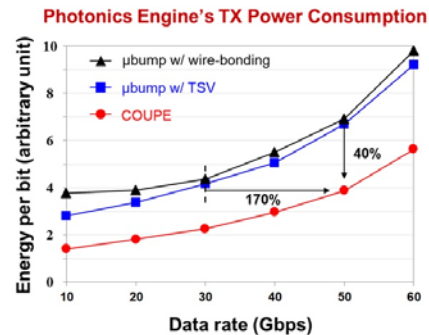


資料來源：<https://www.eenewseurope.com/en/first-stacked-spad-tof-depth-sensor-for-automotive-lidar/>

矽光子技術背景或趨勢



資料來源：<https://www.notebookcheck.net/Nvidia-and-TSMC-working-on-multi-GPU-solutions-based-on-silicon-photonics.651018.0.html>



- **Power Consumption Comparison with uBump-based PE:**
 - COUPE has 40% lower power consumption at the same speed.
 - COUPE can reach 170% speed gain with the same power.

資料來源：H. Hsia., et al. Heterogeneous Integration of a Compact Universal Photonic Engine for Silicon Photonics Applications in HPC. 2021 IEEE ECTC.

- 矽光子具高速傳輸、高節能及高精度多元感測優勢，市場規模年成長率近50%。
- 發展趨勢為結合晶圓代工與異質積體化先進封裝技術，實現在AI高速運算與資料中心等應用的光電IC。
- 融合半導體生態鏈，台灣具發展光電IC產業絕佳優勢。
- 矽光子光收發機：單通道200Gb/s，功耗<5pJ/bit，低延遲<100ns，具有WDM技術，可在兩個波長以上進行傳輸，以突破現有門檻之應用目標。

高效能晶片關鍵技術與創新應用計畫

願景

掌握高效能半導體晶片**關鍵自主技術**與培育多元**晶片設計人才**，帶動新興產業成長動能，邁向**2035晶片建構創新應用生態系**。

目標

加速**4H**(高算力、高節能、高頻、高功率)晶片關鍵技術研發，鼓勵學界往16/7-nm FinFET製程、異質整合技術及特殊應用製程發展，以符合產業人才需求。

(High-Performance Chips: Technology, Design, and Applications, CHIPS4H)



High- Performance Computing



High-Frequency



High- Power

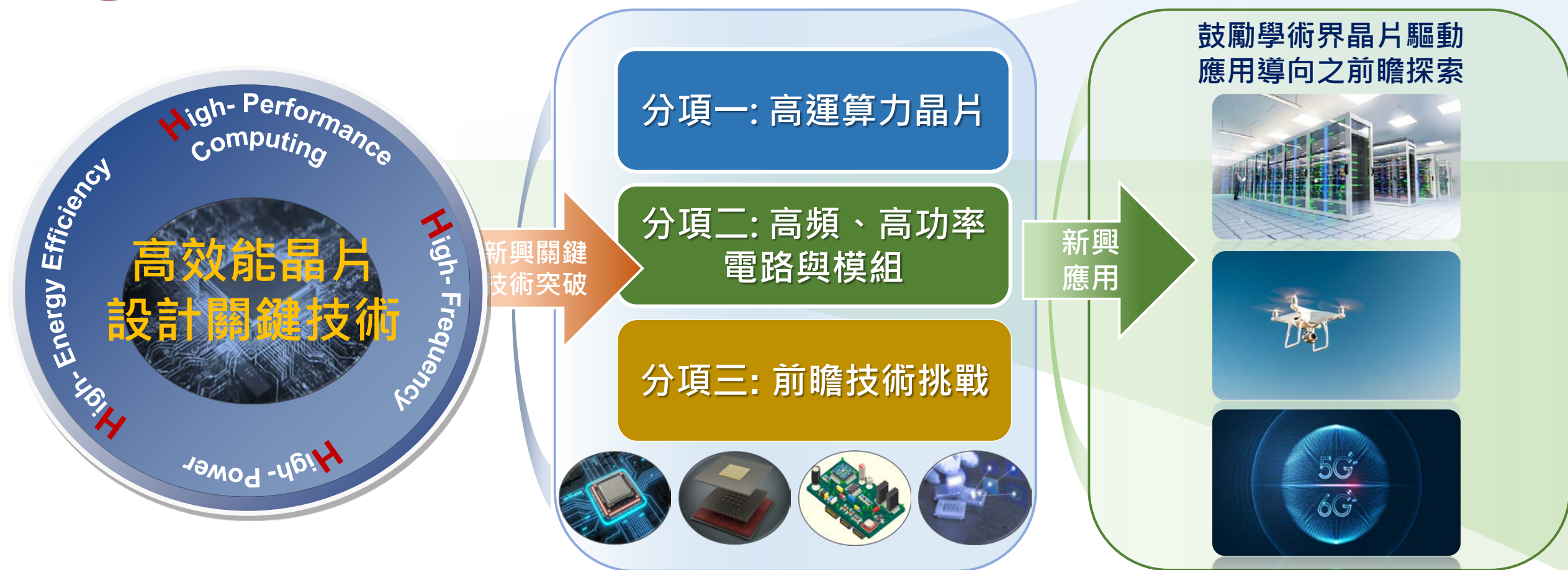


High- Energy Efficiency

徵案規劃

技術
重點

- 以高階矽基製程(16/7-nm)投入高運算力、高節能晶片架構，全程邁向POPS的算力。
- 探討非CMOS製程的高頻、高功率電路與模組，提升下世代無線通訊頻寬與電動車續航力。



分項一：高運算力晶片

以16/7-nm製程評估高算力晶片方案，研究主軸包含但不限於下列領域：

- ① 高算力晶片架構與電路設計：採用同質(單態樣運算核心)、異質運算(多態樣，如CPU+GPU+AI Engine)的整合設計，包含內建處理器(ARM, RISC-V, ...)以及客製化的硬體加速器(AI Accelerators)，並具有可延展性的實現方案，針對**大型語言模型(>10B Model)的運算需求**，達成全程**POPS**的算力指標。
- ② 整合高頻寬記憶體的高算力晶片模組：探討**不同記憶體模組**(DDR4/5, HBM, AIM, ...等)及**軟硬體整合**，有效提升整體運算效能，並以**MLPerf**的評比指標展現系統效能。
- ③ 超低節能的資料傳輸解決方案：透過**異質整合**的堆疊技術，包含**晶圓層級的封裝與小晶片的可程式化先進封裝**，滿足大型語言模型運算所需求的超大頻寬與節能傳輸需求。

年度 \ 指標	113	114	115	116	117
高運算力晶片	運算力達 50TOPS	運算力達 100TOPS	運算力達 200TOPS	運算力達 500TOPS	運算力達 1POPS

備註：本案所提的運算效能指標，是針對伺服器與資料中心的需求而設定，因此基本上是以8-bit(定點或浮點運算)的大型語言模型(>10B)為計算的基礎。

- ④ AI邊緣應用之完整解決方案：為了推動半導體產業與AI符合在未來生活各面向之需求，提出AI晶片邊緣應用及設計的完整解決方案，包括**edge inferencing**、**edge learning**、**驅動軟體**、**低耗能作業系統**，進一步帶動晶片設計研發產業創新與社會發展。

分項二：高頻、高功率電路與模組

採用非CMOS製程(如SiC, Ga₂O₃, GaN, InP, Silicon Photonics, ...等)，探討高頻、高壓元件及電路設計與模組的研發，建議的研究主軸包含但不限於下列領域：

- ① **高頻電路與模組**：應用於下世代行動通訊(含低軌道衛星)的前端毫米波積體電路(MMIC)，如功率放大器，低雜訊放大器，射頻開關等。

全程目標 → 以符合W-band(75-110 GHz)甚至於D-band(110-170 GHz)的操作頻率為目標

- ② **高功率電路與模組**：高壓、高電流功率電路與模組，應用如**電動運輸載具**及**智慧電網**等；低壓、高操作頻率及高功率密度電路與模組，應用於**資料中心**與**AI伺服器**的電源供應；以及前述電路與系統之**先進散熱技術與封裝**。

全程目標 →

- 高壓：3300V高壓之系統應用為主
- 低壓、高功率：輸出功率 50 W；功率密度 2500 W/in³；效率 90%

- ③ **矽光子技術**：超高速超低功耗光連結技術、異質光電整合技術、超高頻寬驅動及接收電路、光電晶片先進封裝與測試等，以應用於AI晶片連結、AI高速運算、資料中心。

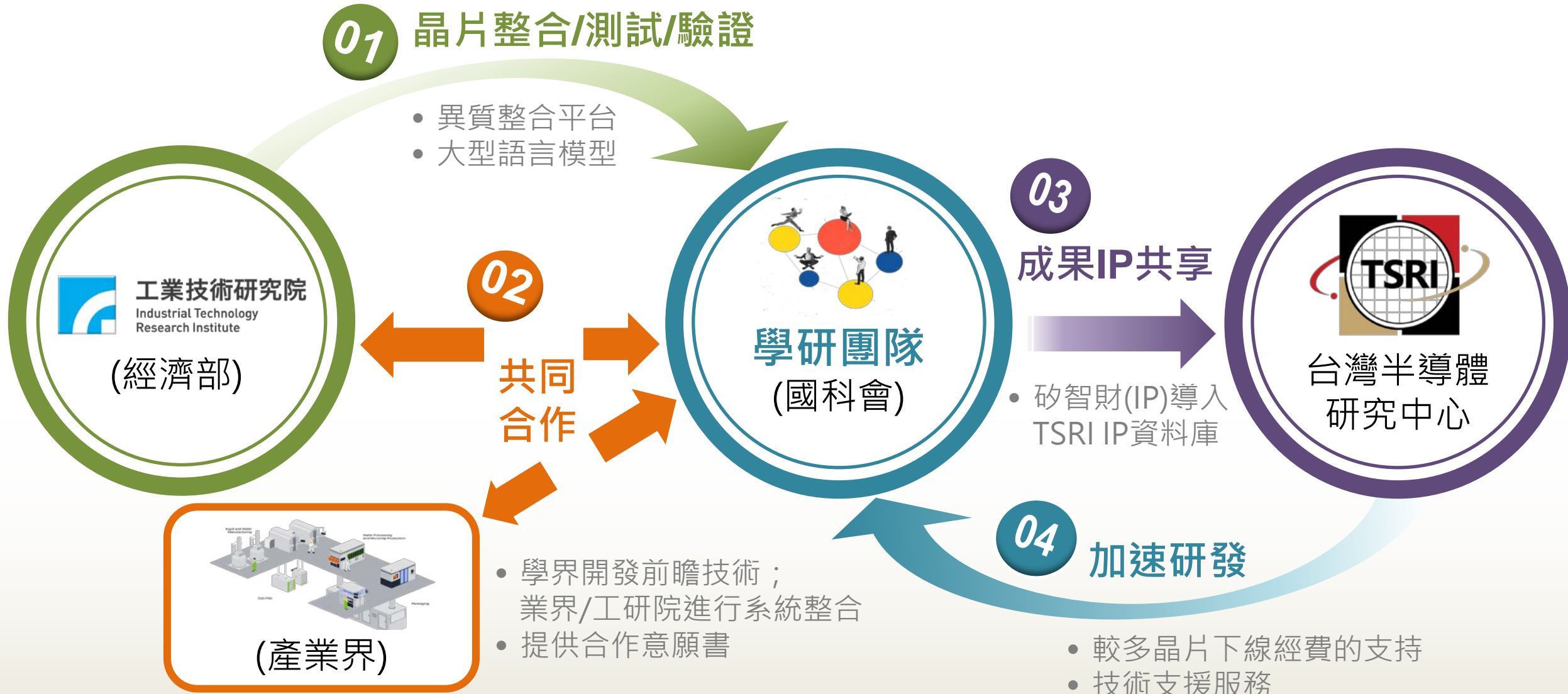
全程目標 → 矽光子光收發機單通道200Gb/s (功耗<5pJ/bit；低延遲<100ns)，且具有WDM技術，可在兩個波長以上進行傳輸，以突破現有門檻之應用目標

分項三：前瞻技術挑戰

Grand Challenge (如：超低功耗、高節能感測及引領不同產業新的發想/需求的晶片與異質整合軟硬體解決方案)，建議的研究主軸包含但不限於下列領域：

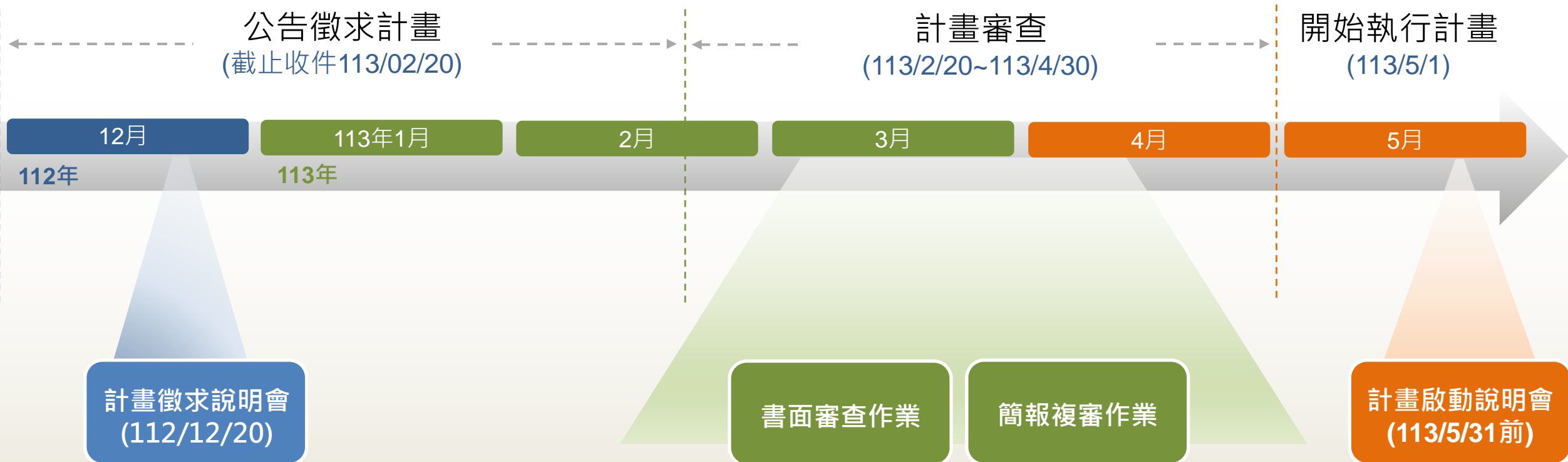
- ① 以CMOS製程，探討**超低功耗**的演算法、系統架構、以及電路實現方案，達成能耗低於**fJ/b(每位元運算低於 10^{-15} Joule)**的推論功能。
- ② 高解析、低延遲感測晶片：以具有**SPAD元件或類似**的高壓製程，完成高速與低延遲的深度影像感測晶片與模組應用，達成之技術指標規格如下：
 - 影像數據量：1Tb/s
 - 深度資訊：< 1cm
 - 能源效率：1 pJ/b
- ③ 以**異質整合**方式結合**特殊應用感測晶片**與**高算力晶片**、**系統軟體**，引領產業應用與服務創新者。

與業界/法人單位合作



計畫時程規劃

- 計畫時程 ■ 專案須規劃申請**5年期**計畫，自**113年5月1日**至**118年4月30日**。
- 研究型別 ■ 申請多年期(113/5/1~118/4/30)**單一整合型**研究計畫為限。
- 申請經費 ■ 每年不超過**2000萬元**。



計畫書撰寫注意事項

目標 導向

鼓勵學界勇於提出不同於現有技術之**前瞻性解決方案**，以達成本計畫挑戰國際級成果之精神，並陳述各年度研發目標、規劃藍圖(Roadmap)、國內外現況分析、所欲達成之量化技術指標、達到該指標之執行策略等要項。

資源 整合

為導入軟硬體系統整合技術以實現次系統之展示，鼓勵**籌組跨領域**研究團隊，並槓桿**TSRI**研發環境，各子計畫間的垂直整合之規劃需於計畫書中具體敘明。

產學研 合作

本專案計畫鼓勵於計畫書內陳述與**業界**或**經濟部法人單位**有實質合作之規劃項目與內容，並附上【合作意願書】，作為計畫評分的參考。

IP分享 共用

鼓勵研究團隊未來將研究成果所產生的**矽智財(IP)**，無償導入於國研院半導體研究中心IP資料庫，分享共用給本專案研究團隊可以在學術研究上使用，有意願分享之團隊將獲得較多**晶片下線經費**的支持。

計畫申請注意事項

單一整合型 研究計畫

- 每一整合型計畫需含**總計畫**與至少**3項**子計畫，以不超過六個為原則。
- 總計畫主持人須同時主持**1項**子計畫，僅總計畫主持人列入本部專題研究計畫件數計算。

研究 主持費

- 本專案之總計畫及子計畫主持人，本部得核給研究主持費最高每個月新台幣**30,000元**，計畫執行期間僅得支領**1份**研究主持費。
- 總/子計畫主持人於計畫執行期間僅得支領**1份**研究主持費，同一執行期限若同時執行**2件**以上，以最高額度計算，並得於不同計畫內採差額方式核給。

審查 核定

- 審查方式包括初審及複審，如有必要將安排計畫申請人簡報計畫內容，審查未獲通過者，恕無申覆機制。
- 業經審查通過，**核定補助二年**(自113年5月1日至115年4月30日)，**採分年核定多年期計畫**；計畫執行第二年期時，將進行成果審查，各執行團隊參考審查意見，以修訂計畫內容，再重新提送後續年度計畫書。

計畫審查重點

- 01 計畫提案之企圖心與本計畫欲突破晶片規格項目之切合度
- 02 技術可行性：需提出具體分年技術規劃藍圖(Roadmap)
- 03 新穎性與學術研究卓越
- 04 計畫所提技術之理論基礎
- 05 計畫主持人之執行力
- 06 團隊成員之互補性與跨專長、跨學門資源整合能力
- 07 產業合作(含工研院)與未來落地應用之規劃
- 08 研究成果矽智財(IP)導入於TSRI IP資料庫之規劃
- 09 關鍵專利之布局規劃

審查重點



報告完畢 敬請指教!

計畫收件截止日：113年2月20日(星期二)