

115年高效能晶片關鍵技術與 創新應用計畫

高能效與高速運算晶片

高功率、高傳輸電路與晶片模組

邊緣運算晶片應用

先進晶片製造技術

國研院台灣半導體中心

「高效能晶片系統設計、
晶片與元件製造、
量測及異質整合服務」

先進晶片製造技術服務平台
設計整合封裝技術服務平台

高效能晶片關鍵技術與創新應用計畫

先進晶片製造技術學術研究團隊
(支援元件關鍵技術開發、特性驗證與創新應用)

- 多元/多層圖樣精準曝光
光學鄰近效應修正技術
奈米金屬圖樣化剝離技術
- 小尺寸金屬導線/閘極蝕刻
小孔洞蝕刻/金屬回填製程
- 新興記憶體元件製程平台
超薄多層金屬材料沉積

先進製造
關鍵模組

新穎元件
結構及材料

元件特性
/材料分析
環境

- 新通道材料(Oxide)元件製程平台
- 先進高密度堆疊式電晶體製程平台(NS-FET/CFET/M3D-FET)

- On Wafer/PCB低溫(4K)量測服務平台
- 元件特性量測服務平台
- 原子級元件結構影像及微量元素技術平台

先進晶片製造技術 Milestone

115年

- 矽/鍺/矽鍺奈米片通道磊晶製程
- 新興記憶體元件製程
- n型氧化物通道製程元件

- 多層曝光技術 (Multiple Patterning)

- 低溫(4K)電性量測平台
- 元件特性量測服務
- 高解析半導體關鍵原子尺度影像

116年

- NS-FET元件製程技術平台
- 低熱預算雷射製程技術及積層型3D元件服務平台

- 元件關鍵尺寸微縮技術
- 中段製程導線微縮技術

- 元件3D原子級形貌重組分析服務(APT)

117年

- 提供先進高密度電晶體/晶片(3D+ IC)異質整合服務平台
- 氧化物垂直通道(Ox-VCT)元件整合技術

- 光學鄰近效應修正技術
- 後段製程導線微縮技術

- 高靈敏與空間解析應力檢測與晶向分析 (PED、4D-STEM)

新通道材料(Oxide)元件製程平台

● 氧化物通道材料技術 (Channel)

提供n型 (IGZO、IGO、InO) 等新通道材料之製備與沉積技術平台。

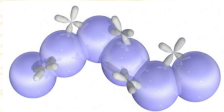
● 氧化物元件整合模組技術 (Device Integration Module)

提供氧化物背電極元件、環繞式閘極(GAA)與垂直通道(Ox-VCT)元件整合模組，包含S/D接觸技術、垂直通道蝕刻技術與多層GAA通道蝕刻與釋放技術。

● 氧化物積層堆疊模組技術 (Monolithic 3D Integration Module)

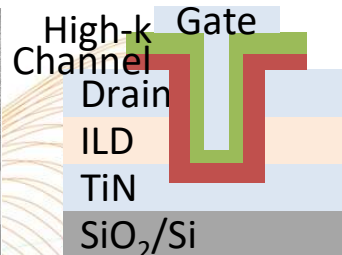
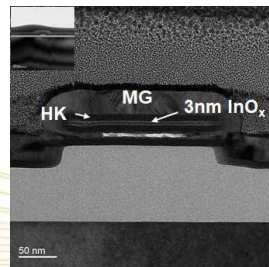
提供積層堆疊模組技術，包含通道鈍化技術與連導線整合技術。

Oxide Channels

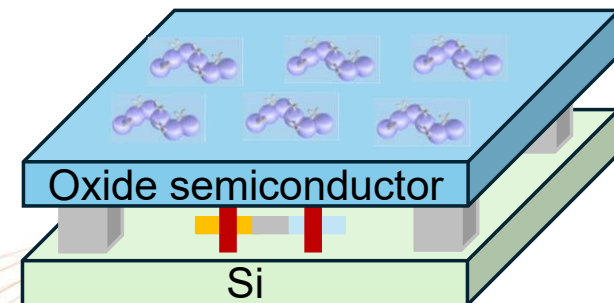


IGZO、IGO、InO

GAA & Ox-VCT



Oxide Monolithic 3D



先進高密度電晶體製程服務平台

- 下世代堆疊式奈米片電晶體(NS-FET)及互補式場效電晶體(CFET)

提供奈米片矽(Si)、鍺(Ge)、矽鍺(SiGe)單層或多層通道磊晶技術，矽/鍺/矽鍺選擇性蝕刻技術，high-k/metal閘極製程，奈米片及互補式場效電晶體製程服務平台。

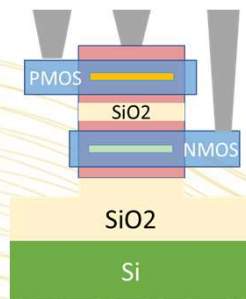
- 絕緣體上覆矽晶片晶背供電技術(SOI-BSPND)

提供八吋矽晶圓(Si)/異質晶圓(SiC、glass...)鍵合製程及晶圓鍵合中介材料測試，SOI元件及SOI(Silicon on insulator)晶片晶背供電技術製程服務。

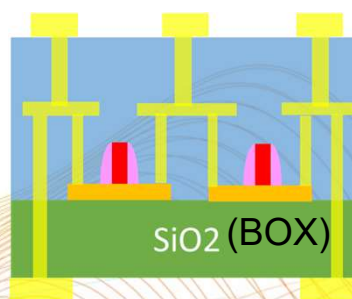
- 積層型3D電晶體(M3D-FET)及晶片製程

提供低熱預算藍綠光(532/355nm)雷射結晶、二氧化碳(CO₂, 10.6um)雷射活化、雷射金屬矽化物(Silicide)或鍺化物(Germanide)製程，積層型3D元件及晶片製程服務平台可提供異質元件整合。

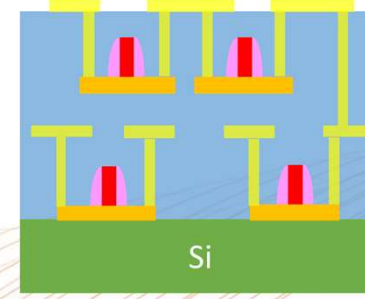
NS-FET & CFET



SOI-BSPND



M3D-FET



新興記憶體元件製程服務平台

● 新興記憶體與半導體製程材料製備

提供多種高品質金屬、磁性和金屬氧化物薄膜材料製備，可用於新興記憶體元件或半導體製程技術當中，包含PVD(≤20nm): Co, CoFe, CoFeB, Pt, Ru, Mo, Mg, MgO; PVD(≤50nm): Ti, TiN, TaN, Ta, W, Al, Nb; ALD(≤10nm): HfO₂, Al₂O₃, HfZrO₂.

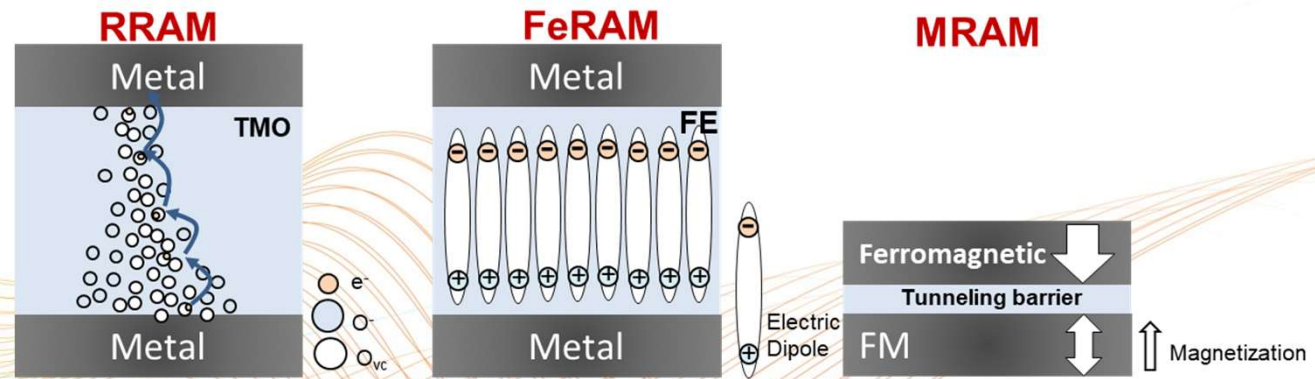
● 離子性轟擊蝕刻技術

提供物理性離子轟擊蝕刻技術，適用於多層金屬薄膜、惰性金屬薄膜與光照製作，提供多角度的離子轟擊蝕刻，並搭配OES光學系統，可進行精準蝕刻停止製程。

● 後段晶圓與元件製程整合技術

提供於業界或學界電晶體晶圓(八吋)上進行記憶體元件與金屬連導線製程技術，包含平坦化、150nm金屬連導線、後段元件整合與量測電極製作。

Device	Materials
MRAM	PVD(≤20nm): Co, CoFe, CoFeB, Pt, Ru, Ta, W, Mo, Mg, MgO
RRAM	PVD(≤50nm): Ti, TiN, TaN, Ta, W, Al ALD(≤10nm): HfO ₂ , Al ₂ O ₃
FeRAM	PVD(≤50nm): Ti, TiN, TaN, Ta, W, Al ALD(≤10nm): HfO ₂ , Al ₂ O ₃ , HfZrO ₂
Module	Specification
Metal1, Metal2	AlSiCu (≤300nm) Line width (≥160nm) Pitch (≥640 nm)
Via1, Via2	CD (200nm~400nm) W-plug Pitch (≥640 nm)
Memory	MIM CD (≥100nm)



原子級元件結構影像及微量元素技術平台

- **高解析度球面像差修正場發射槍掃描穿透式電子顯微鏡服務平台 (Cs-STEM)**

- 本平台整合FIB試片製備及球差校正Cs-STEM驗證的一條龍連續系統，包括高解析度的半導體關鍵原子尺度影像分析、介面原子排列、晶向分析、應力與缺陷 (Cs-STEM-HAADF/ABF、 PED、 4D-STEM)、元素成分鑑定及化學鍵結分析技術(EDS/EELS)，臨場變溫與電性量測(In-situ heating/cooling/bias holder)，以因應下世代半導體材料檢測所需。



- **3D原子級探針形貌重組分析 (原子級針尖斷層影像儀 APT)**

- 透過場蒸發序列重建樣品體積內原子的三維位置，提供原子級解析度的三維元素分布圖。此技術可解析元件內部摻雜分佈、薄膜厚度及界面結構等關鍵特性，協助進行元件微觀結構與電性特性之驗證分析。



- **多功能X光光電子能譜儀服務平台 (XPS)**

- 本平台整合多項表面與能帶分析技術，包括 X光光電子能譜儀 (XPS)、紫外光光電子能譜儀 (UPS)、逆光電子能譜儀 (IPES)、反射式電子能量損失光譜儀 (REELS)，以及離子散射光譜儀 (ISS)。
- XPS可進行變角度分析，量測深度約1-7 nm範圍內的化學鍵結與化學態；UPS可獲得價帶結構與材料功函數；IPES提供導帶電子態分佈；REELS可用於能隙 (band gap) 量測；ISS則可解析原子級表面組成與覆蓋層分佈。



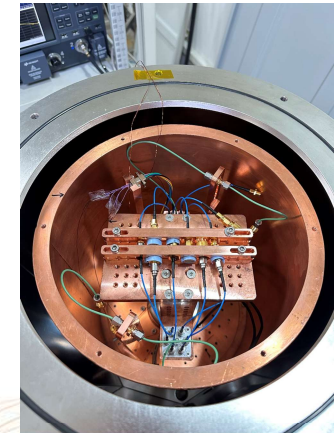
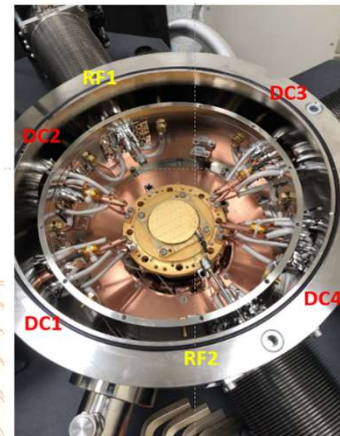
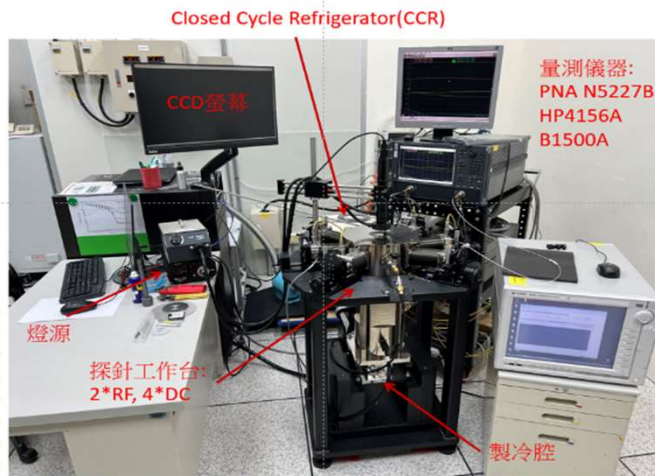
低溫電性量測

● On-Wafer 低溫(4K)量測平台

提供I-V、C-V、1/f noise、Noise Figure、S參數量測，進行尺寸20mm×20mm之晶片下針測試，最多可支援2組RF探針與4組DC單點探針/2組6pinDC排針，完成元件或電路的電性分析

● PCB 低溫(4K)量測平台

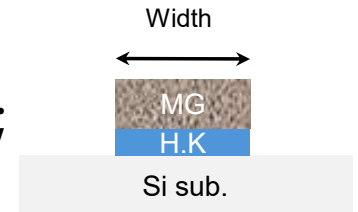
提供DC、S參數量測、Noise Figure、Phase Noise量測，支援打線/封裝之待測樣品進行元件或電路之電性分析



先進製造關鍵模組 (蝕刻薄膜部分)

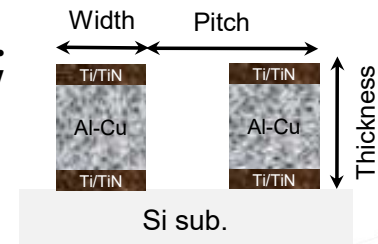
● 金屬閘極蝕刻技術開發

建立高蝕刻選擇比(TiN: high-k > 20)之金屬閘極微縮技術：閘極金屬厚度~30 nm；閘極線寬 < 50 nm；閘極Pitch < 100 nm。



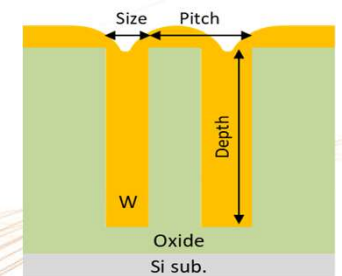
● 金屬連導線蝕刻技術開發

建立高蝕刻選擇比(AlCu:SiO₂ > 10)之金屬導線微縮技術：金屬導線厚度~95 nm；線寬 < 80 nm；Pitch < 200 nm。



● 接觸孔蝕刻與W-plug填充技術開發

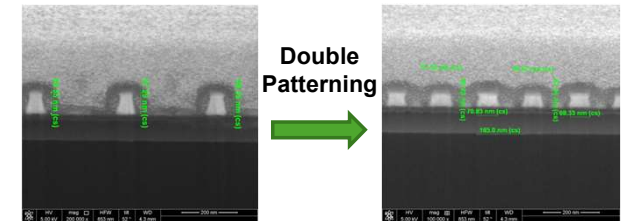
建立高選擇比(SiO_x:Si > 10)之接觸孔蝕刻微縮技術(介電層材料蝕刻)及W-plug填充技術：接觸窗尺寸 < 80 nm；Pitch < 200 nm；接觸孔深度~200 nm。



先進製造關鍵模組 (黃光微影部分)

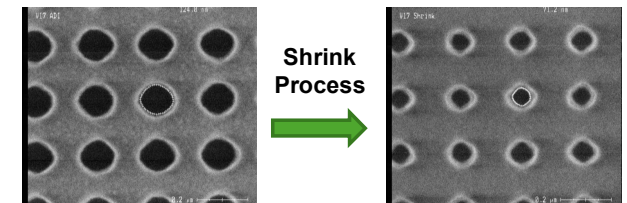
- **多層曝光技術 (Multiple Patterning) :**

提供雙重或多重圖樣化技術，突破單一曝光解析度限制，實現圖形線距進一步微縮，可適用於先進節點的高密度圖案製作。



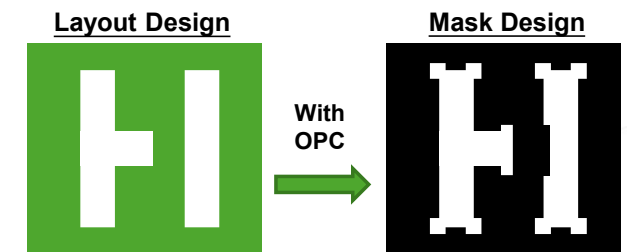
- **孔洞微縮技術 :**

提供孔洞微縮製程，透過特殊微縮材料 (R200) 實現孔洞尺寸進一步微縮，提升元件密度。可適用於高整合度邏輯與記憶體製程中之關鍵接觸孔(Contact)。



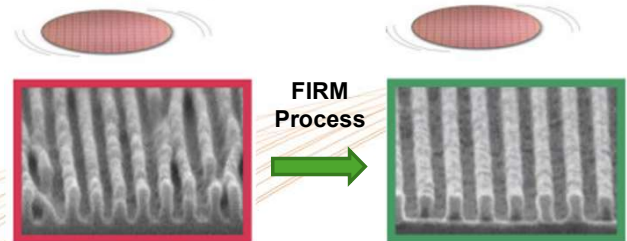
- **光學鄰近效應修正技術 :**

提供模型與演算法的圖形補償，針對孤立區、密集區、邊緣區的特徵圖形進行優化，可改善關鍵尺寸一致性。



- **光阻抗倒塌顯影技術:**

提供於顯影後低表面張力沖洗材料之解決方案，以降低毛細力並抑制圖形倒塌，可提升奈米細線的穩定度與解析能力。



聯絡窗口

技術平台洽談	聯絡人	分機*	E-mail
客製化合作模式洽談諮詢	賴宇紳 博士	7532	yslai@niar.org.tw

分項技術平台	聯絡人	分機*	E-mail
新穎元件結構與通道材料	林昭正 博士	7511	chcelin@niar.org.tw
	楊智超 博士	7565	samyang@niar.org.tw
新興記憶體技術	李愷信 博士	7706	ksli@niar.org.tw
先進製造關鍵模組	陳俊淇 博士	7695	chunchi.chen@niar.org.tw
	黃文賢 博士	7523	whhuang@niar.org.tw
半導體元件特性分析量測服務	章殷誠 博士	7228	yincheng.chang@niar.org.tw
原子級結構影像及微量元素分析服務	余東原 博士	7528	tyyu@niar.org.tw

* TSRI 總機 : 03-5773693

TSRI設計整合封裝技術服務平台



1

- 7/16 nm FinFET 製程設計環境
- 主被動矽光子製程設計環境
- 180nm BCD環境、12V/650V GaN製程設計
- 引進130nm BCD製程
- 壓電製程設計環境評估測試

2

- 引進關鍵矽智財(運算處理器、晶片內/間互聯電路、高頻寬記憶體控制電路)
- 高效能運算(HPC)晶片虛擬驗證環境
- 雛型驗證(基於FPGA)環境

3

- 自主晶片級(die level) μ bump技術
- CMOS active interposer 技術
- 先進2.5D/3D異質封裝整合驗證
- 先進異質封裝驗證EDA環境
- 光電共封裝技術 (CPO)

高效能晶片設計環境

■ TSRI製程服務

製程種類	年度常規梯次
TSMC 7 nm (N7)	2
TSMC 16 nm FFC	4
TSMC 28 nm HPC+	4
TSMC 65nm GP	5
TSMC 0.13 μm BCD	2
TSMC 0.18 μm BCD	3
TSMC 0.5 μm GaN *	2
IMEC silicon photonics	1
PiezoPZT*、PiezoScAlN *	2

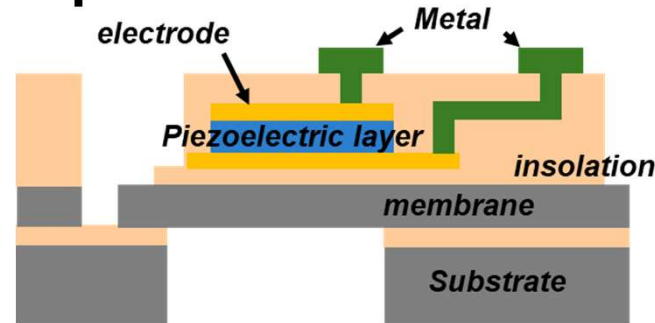
*提供之Foundry與實作服務梯次數待確定

■ 聯絡窗口

- 彭昱婷先生：kangchu@niar.org.tw

壓電服務平台

Piezoelectric MEMS platform – PZT/ScAlN based design



Supported by A*STAR/IME and
STMicroelectronics technologies.



- TSRI offers piezoelectric MEMS platform
- ✓ Starting in 2025: Launch of PZT membrane (2025), PZT/ScAlN movable PMUT (2026)
- Specification
- ✓ Piezoelectric materials: PZT/ScAlN
- ✓ Chip area: 3.6 mm × 3.6 mm
- ✓ Suspended etching area range of the piezoelectric thin film: 50,001– 300,000 μm²
- Application
- ✓ Micro-Speakers, Microphone and Acoustic Devices
- ✓ RF filters, resonators
- ✓ Ultrasonic Transducers
- ✓ PMUT Medical Imaging Applications

■ 聯絡窗口

- 張正暘先生：cychang@niar.org.tw

高效能晶片驗證環境

■ 矽智財 (on EDA Cloud)

● 基礎矽智財 (Foundation IP)

- Synopsys High Performance Std. Cell Libraries and SRAM Compiler (7nm/16nm)
- PLL (7nm/16nm, from Synopsys and M31)

● 運算處理器

- ANDES、Synopsys、Cudasip **RISC-V** CPU，ANDES、Synopsys 的 NPU
- **Arm** Academic Access 可取得之 CPU/GPU/NPU，如 Cortex-A55 AP、Cortex-M55 MCU、Ethos-U55 NPU...

● 晶片內互聯電路

- Arm CoreLink CMN-600 (Coherent Mesh Network)

高效能晶片驗證環境 續

■矽智財 (on EDA Cloud)

● DRAM 控制電路

- LPDDR5 Controller + PHY (7nm)
- HBM 控制電路 (與國內廠商洽談中，DRAM capacity 僅 1Gb=128MB)

● 周邊電路

- MIPI(Camera in)、HDMI(外掛晶片)、Ethernet Controller、SD 3.0、
UCle (評估洽談中)...

● 硬體資安電路

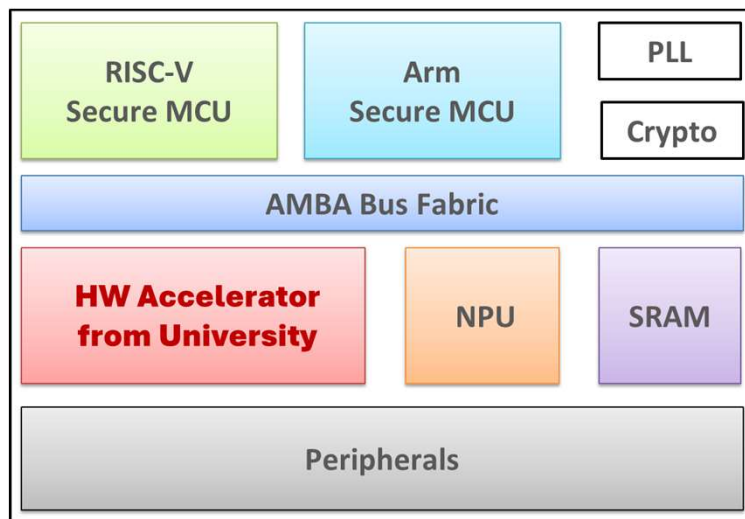
- PUFsecurity PUFcc

高效能晶片驗證環境 續

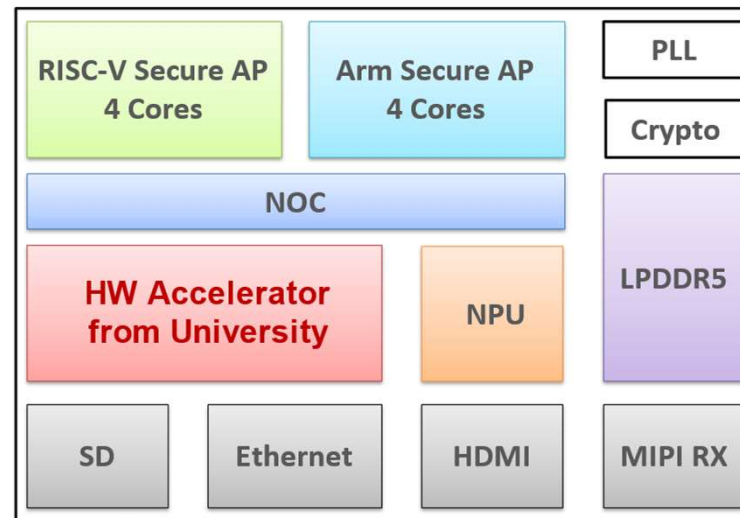
■系統晶片設計平台 (on EDA Cloud)

● 參考軟硬體設計 (整合 SoC 電路與嵌入式軟韌體)

- 模擬環境、軟硬體偕同驗證環境、R2G 實作驗證環境



16nm, Available now

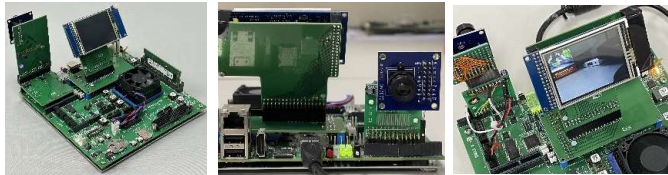


7nm, Under Development
先期試用者徵求中

高效能晶片驗證環境 續

■ 系統晶片驗證環境

- 虛擬驗證環境 (ESL)
 - 基於 Synopsys Platform Architect/Virtualizer
- 系統雛形軟硬體偕同驗證環境
 - 依據電路大小提供3種驗證環境
- For 16nm MCU based SoC (改版中)



- Xilinx VU19 FPGA: Logic cell 9M / Memory 28MB
- 7M ASIC gate counts
- EDA tools: Xilinx Vivado
- Remote & Onsite

HAPS-SX (1X)



- Xilinx VU19 FPGA * 16: Logic cell 144M / Memory 448MB
- 80M ASIC gate counts
- EDA tools: Zebu EP1
- Interoperability
 - VCS / Verdi
 - Virtualizer
- Remote



Zebu EP1 (16X)

- Xilinx VU19 FPGA * 4: Logic cell 36M / Memory 112MB
- 28M ASIC gate counts
- EDA tools: Synopsys ProtoCompiler + Xilinx Vivado
- Remote & Onsite



HAPS-100 (4X)

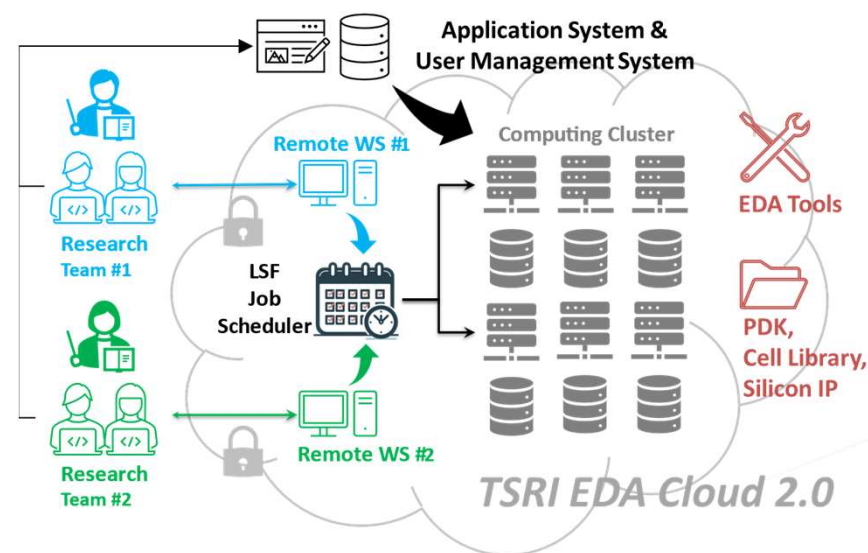
高效能晶片驗證環境 續

■ 聯絡窗口

- 陳玟靜小姐：wenching@niar.org.tw

■ 技術支援

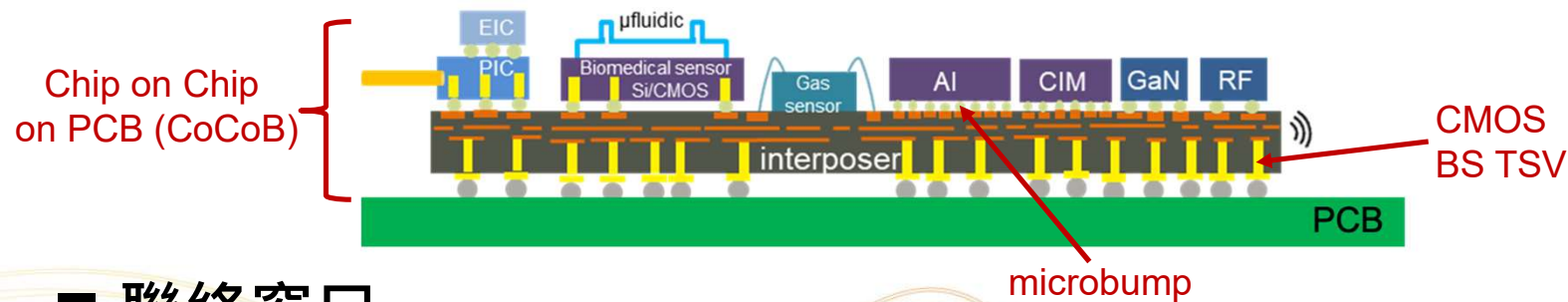
- EDA Cloud 帳號開立與權限設定
 - 須完成 16nm/7nm 製程權限申請
- 模擬環境、軟硬體偕同驗證環境、矽智財使用技術諮詢
- **16nm/7nm R2G 實作驗證強化支援**
 - 試行 Project-based 技術支援
 - 視 TSRI 人力狀況提供
 - On TSRI EDA Cloud only



異質整合晶片及封裝平台

■ 建立異質整合製程、設計環境及多功能2.5D/3D晶片整合

- 提供自主晶片級 $\leq 50 \mu\text{m-pitch } \mu\text{bump}$ ， $15 \mu\text{m-pitch}$ 進行評估驗證中
- **CMOS backside TSV** (直徑 $40 \mu\text{m} \rightarrow 10 \mu\text{m}$)
- 以 **CoCoB** 技術實現 2.5D/3D AI、感測、高速、高頻等多功能晶片整合模組

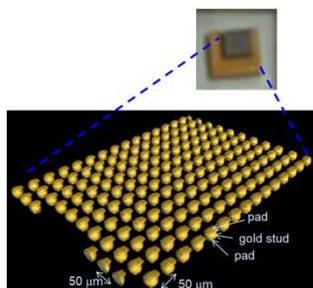


■ 聯絡窗口

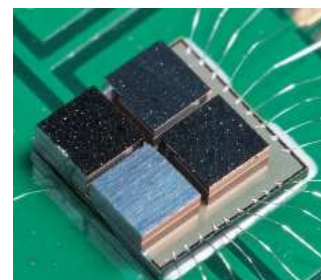
- 莊郁亭小姐：peechuang@niar.org.tw
- 李易學小姐：yihlee@niar.org.tw

異質整合晶片及封裝平台 續

- 晶片級 50 μm -pitch microbump 技術 (pad : 30x30 μm^2)



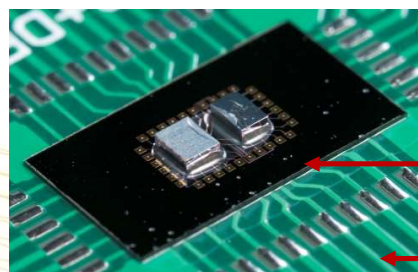
1-to-1 (400 ea μbumps) yield: 83%



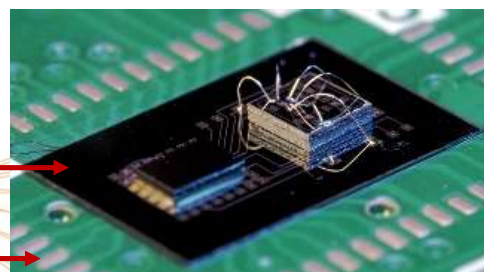
4-to-1 (1600 ea μbumps) yield: 67%

- **CMOS backside TSV:** 2025年提供服務(4吋/6吋) , 預計2027年完成8吋製程開發

- 以CoCoB技術整合ASIC及感測晶片



2 ASICs integration



ASIC and gas sensor integration

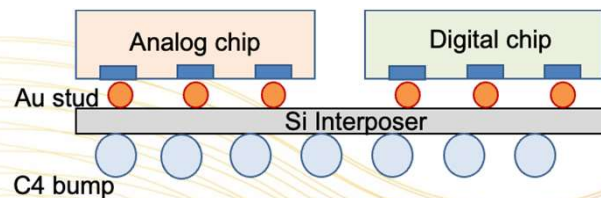
Interposer
w/ TSV

PCB

異質整合晶片及封裝平台 續

● EDA for CoCoB platform

		D + D	D + A	A + A
Interposer routing		●	●	●
DRC/LVS		●	●	●
RLC extraction	Interposer	●	●	●
	μ bump	DC/AC*	DC/AC*	DC/AC*
	TSV + C4 bump	DC/AC*	DC/AC*	DC/AC*
Postsim		●	●	●

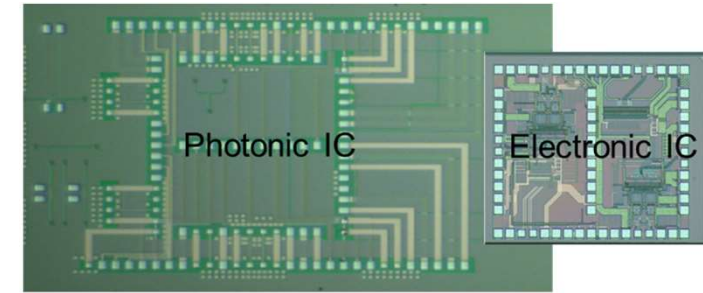
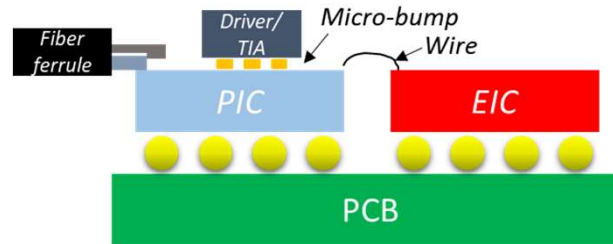


- System postsim is feasible if A+A chips are the **same foundry/technology**
- AC parameter will be ready at 2026/Q4

共同封裝光學元件(CPO)技術

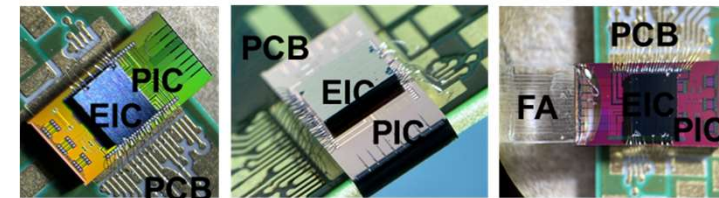
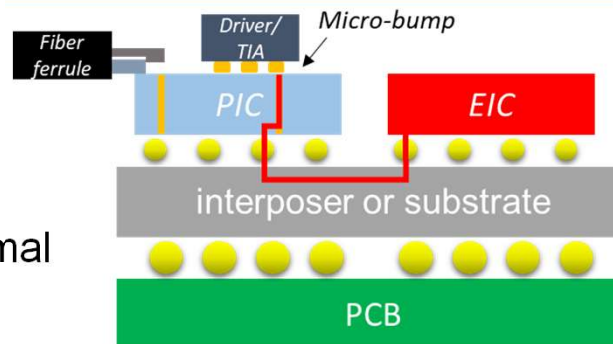
■ PHASE 1: Standard module

- Electrical path through PCB
- Flexible
- BW and power consumption limitations



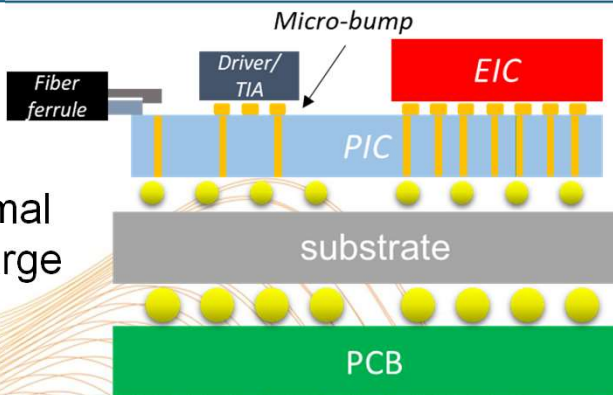
■ PHASE 2: Co-package with optical transceiver

- Electrical path through IPD
- PIC through TSV: IMEC + TSRI
- Co-packaging challenging: thermal issues, supply density



■ PHASE 3: Photonic interposer

- Electrical to Photonic directly
- PIC through TSV: IMEC + TSRI
- Co-packaging challenging: thermal issues, supply density, cost of large photonic interposer



TSRI服務平台Milestone

年度	113年	114年	115年	116年	117年
目標	<ul style="list-style-type: none"> • 完成7nm設計驗證環境建置 	<ul style="list-style-type: none"> • 0.13μm BCD製程環境建置 	<ul style="list-style-type: none"> • 提供PIC BS TSV技術進行EIC/PIC整合 	<ul style="list-style-type: none"> • 提供7nm電磁模擬與電路整合設計範例 	<ul style="list-style-type: none"> • 完成AR 10 CMOS Via-last TSV技術開發
	<ul style="list-style-type: none"> • 提供高效能FPGA雛型驗證系統 	<ul style="list-style-type: none"> • 完成8吋矽深蝕刻(AR 5)技術開發 	<ul style="list-style-type: none"> • 開發CMOS BS TSV(直徑20 μm) 技術 	<ul style="list-style-type: none"> • 提供HPC系統晶片實作與驗證環境 	<ul style="list-style-type: none"> • 提供共同封裝光學元件(CPO)技術平台