

# 前瞻晶片設計軟體技術開發計畫 說明會議程

會議主持人: 國立陽明交通大學電子研究所 陳宏明教授(專案召集人)

時段	議程	報告人
10:00 ~ 10:05	長官致詞	國科會工程處 李志鵬處長
10:05 ~ 10:20	國科會工程處 「前瞻晶片設計軟體技術開發計畫」 徵求說明	國立陽明交通大學電子研究所 陳宏明教授(專案召集人)
10:20 ~ 10:35	工業技術研究院 「EDA平台規劃與說明」	工業技術研究院 電光系統所 鄭良加副組長
10:35 ~ 11:00	Q&A	國立陽明交通大學電子研究所 陳宏明教授(專案召集人)

# 晶創台灣計畫

-EDA-

## 前瞻晶片設計軟體技術開發計畫 計畫徵求說明會

112.12.29

# 簡報大綱

- 壹、EDA產業分析
- 貳、整體計畫架構與分工
- 參、下世代新興電子設計自動化研發
- 肆、計畫書撰寫注意事項
- 伍、計畫申請、審查、核定及管考
- 陸、計畫時程規劃
- 柒、總結

# 壹、EDA產業分析

- 國際廠商：Synopsys, Cadence, Siemens
- 國內廠商：芯測科技
- 晶片測試，國際 EDA 大廠都注重在測試設計工具開發，多晶圓與異質整合測試評估工具有待強化。

- 國際廠商：Synopsys, Cadence, Siemens
- 國內廠商：映陽科技
- 晶片封裝 EDA 工具，國際大廠雖有投入，但異質整合 EDA 相關工具，尚處萌芽階段。



- 國際廠商：Synopsys, Cadence, Siemens
- 國內廠商：穎想科技、円星科技
- 晶片設計 EDA 工具多為國際大廠壟斷，國內EDA廠商與產品發展相對不足。

- 國際廠商：Synopsys, Cadence, Siemens
- 國內廠商：穎想科技、TESDA
- 晶片設計驗證分析 EDA 工具，國外大廠已有投入，國內投入能量較匱乏。

- 國際廠商：Synopsys, Cadence, Siemens
- 國內廠商：安仲科技、至達科技
- 晶片佈局技術國際 EDA 大廠發展成熟，國內僅有少數公司投入。

## 貳、計畫架構與分工

### 晶片驅動-前瞻晶片設計軟體技術開發計畫



#### 總目標

維持與升級臺灣的EDA工具發展能力，持續**探索創新**的研究方法，並與**國際接軌**，**加速業界開發工具時程**。

分項一：  
下世代新興電子  
設計自動化研發  
(國科會)

01

開發異質整合與先進封裝的EDA工具

02

針對前瞻製程技術與新興科技晶片、  
AI輔助的設計工具開發

03

前瞻智能化晶片設計驗證技術

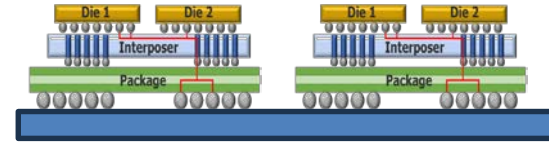
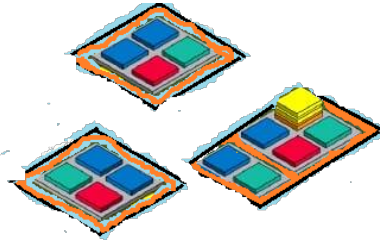
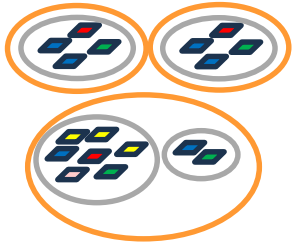
04

前瞻智能化異質封裝測試技術

分項二：  
智動化協同設  
計EDA前瞻技  
術開發  
(經濟部)

前瞻晶片設計  
軟體技術開發  
計畫

# 參、國科會「下世代新興電子設計自動化研發」 學界研發分項一:開發異質整合與先進封裝的EDA工具



## 異質整合的系統設計工具鏈

- 小晶片與封裝之整合規劃與優化工具
- 系統成本及效能評估工具

## 先進封裝佈局與驗證工具鏈

- 2.5D/3D封裝的熱、材料應力及可靠度評估工具
- 共同優化可靠度及效能的小晶片佈局工具

## 以小晶片為主之系統的繞線 自動化工具鏈

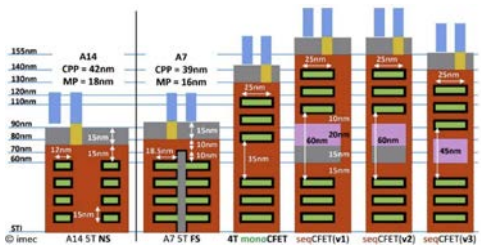
- 共同考慮PCB、封裝基板、interposer之繞線工具鏈

# 參、國科會「下世代新興電子設計自動化研發」

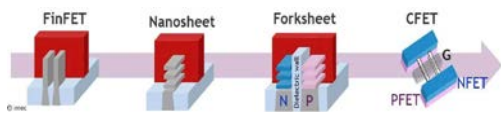
## 學界研發分項二:針對前瞻製程技術與新興科技晶片、AI輔助的設計工具開發

### 前瞻製程晶片的設計策略

- 晶片可靠性、容錯、測試與驗證的整合

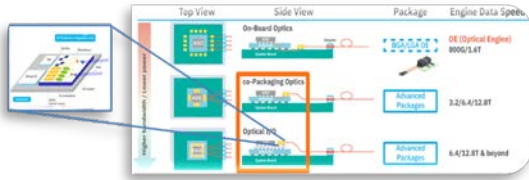


- GAA/Nanosheet與CFET技術的佈局優化

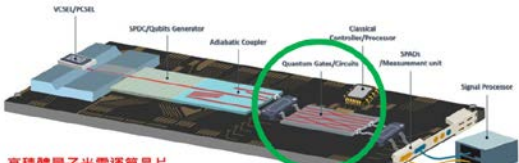


### 新興科技晶片設計自動化

- 矽光子互聯系統的自動化設計工具



- 量子運算邏輯合成與佈局策略



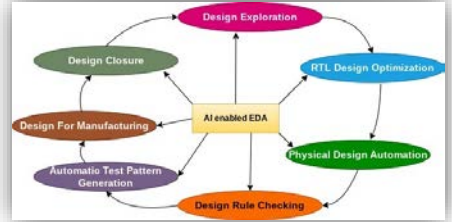
高精量子光電運算晶片 / Integrated Quantum Photonic Computing Chip

### AI在晶片設計的應用策略

- 生成式AI融合於晶片設計流程



- AI於晶片建模、模擬與優化



## 肆、計畫書撰寫注意事項(1/2)

### 計畫目標

- **具體說明要解決的問題和技術突破點**，以達成本計畫所推動之頂尖研發目標或與國際EDA大廠目前解決方案互補或超越的相關研究的成果。
- 須明確陳述整體總目標，必須具有開創新思維，且以本計畫終極目標挑戰與**現行解決方案互補且非單一工具為宗旨**。

### 計畫內容

- **鼓勵學界勇於提出不同於現有技術之前瞻性解決方案**，以達成本計畫挑戰國際級成果之精神，**計畫中須明確定義各個技術查核點與技術可行性評估依據**。計畫內容必須陳述各年研發目標、國內外現況分析、所開發之系統與業界設計流程整合與介接、預期關鍵技術產出、人才培育等要項。

## 肆、計畫書撰寫注意事項(2/2)

本計畫目標為扶植國內產業，以國內產業為主

計畫需明確說明與業界廠商或工業技術研究院有實質的合作，例如經費及人員投入、設備支援或技術合作開發。

### (一)、分項一部分(開發異質整合與先進封裝的EDA)

因高挑戰性的目標需要更全面的資源與專長整合方能達成，合作模式如下: (擇一)

1. 研究團隊與業界(EDA或IC設計中小及新創公司)及經濟部所規劃之設計與測試平台合作，將發展的工具鏈上架平台。
2. 研究團隊與經濟部之平台直接洽談，對接平台開發所需工具鏈。
3. 研究團隊與具規模之IC設計與製造業者在其設計流程合作共創工具鏈。

### (二)、分項二部分(針對前瞻製程技術與新興科技晶片、AI輔助的設計工具開發)

除著重於前瞻的電子設計自動化軟體開發之外，需於計畫書中具體敘明未來用於業界設計流程軟體之規劃。(國內學術界目前有量子科技、矽光子等相關研究，如有需要可至政府研究資訊系統GRB查詢相關研究計畫)

產學研  
合作

# 伍、計畫申請、審查、核定及管考(1/2)

## 計畫申請

### 計畫 期程

本專案須規劃申請**5年期計畫**，自**113年5月1日至118年4月30日**，且以**單一整合型研究計畫**為限。

### 單一整 合型

每一整合型計畫之總計畫及所有子計畫全部書寫於一份計畫書，**子計畫應為三個(含)以上，最多以不超過六個為原則**。總計畫主持人須同時主持**1項子計畫**，各主持人應實質參與研究，計畫書應詳實註明各主持人負責之研究主題，整合之計畫需有整體明確的目標，**並由總計畫主持人之服務機關提出申請**。

### 申請 經費

每一計畫每年度申請總額，**申請分項一以不超過2,500萬元為原則；申請分項二以不超過1,000萬元為原則**。

### 研究主 持費

本專案之總計畫及子計畫主持人，**本會得核給研究主持費最高每個月總計畫主持人及子計畫主持人新台幣30,000元**，以鼓勵總計畫及子計畫主持人能專注投入執行。總計畫及子計畫主持人於計畫執行期間僅得支領**1份研究主持費**，同一執行期限若同時執行**2件以上**，以最高額度計算，並得於不同計畫內採差額方式核給。

# 伍、計畫申請、審查、核定及管考(2/2)

## 計畫審查重點

1. 計畫提案之企圖心與本計畫欲突破技術或協同設計工具之切合度。
2. 系統設計驗證目標或新興設計需求的设计輔助工具鏈之新穎性。
3. 產業應用之可行性。
4. 計畫所提技術之理論基礎。
5. 計畫主持人之執行力。
6. 團隊成員之互補性與跨領域、跨單位資源整合能力。



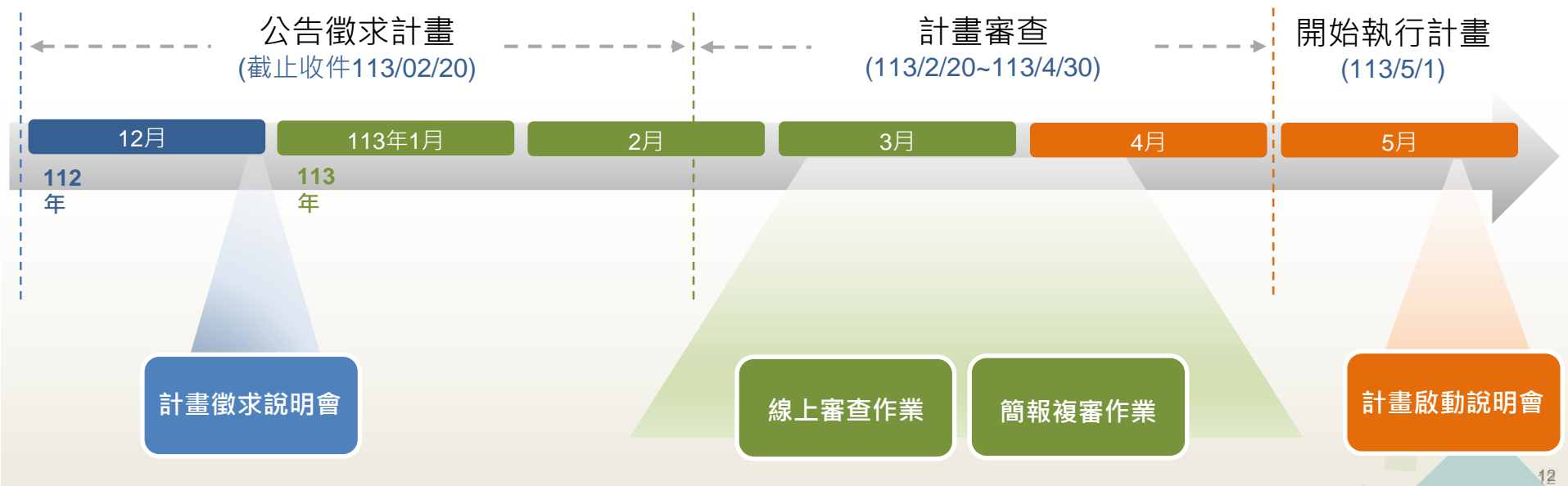
## 核定及管考

1. 計畫執行期間每年進行成果考評，依審查結果核定次年度經費。
2. 本計畫期能有效提升國內EDA非單點工具及系統層級工具研發能力，鼓勵與業界進一步合作開發，促成業界投入下世代關鍵EDA工具開發；為了解業界實際參與情況，執行團隊需於每年度計畫成果考評說明業界參與實際投入情形，本會將視情況調整次年度經費，以資鼓勵。

## 陸、計畫時程規劃

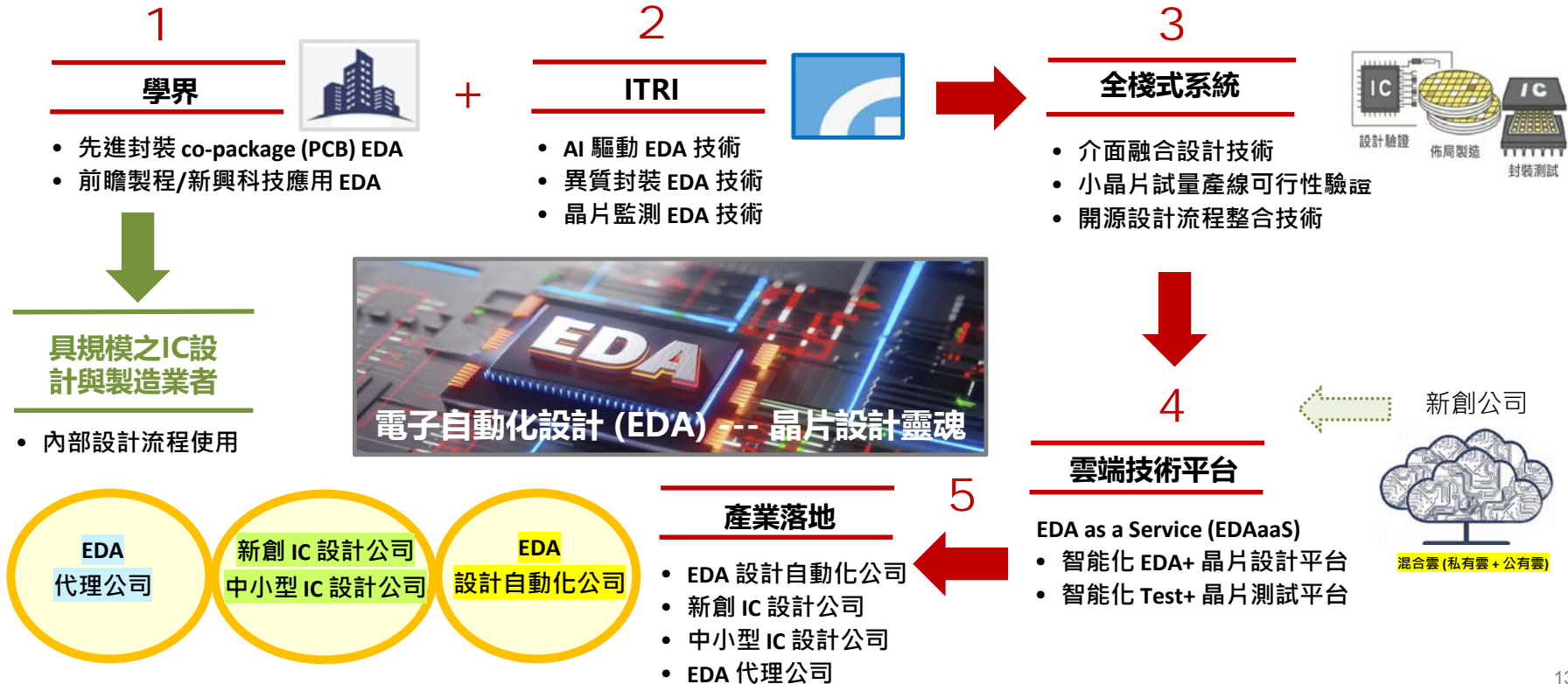
**計畫時程** ■ 專案須規劃申請**5年期**計畫，自**113年5月1日至118年4月30日**。

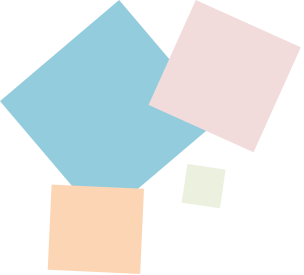
**研究型別** ■ 申請多年期**單一整合型**研究計畫為限。



# 柒、總結:

## 扶植國內中小型/新創IC設計公司 產官學研攜手打造 半導體EDA產業鏈平台





感謝聆聽

