

晶片驅動臺灣產業創新方案

掌握晶片與生成式AI變革 驅動全產業超高速創新

培育、引進晶片人才與新創奠基**10-20年後的科技國力**

1

AI+晶片驅動
全產業加速創新

2

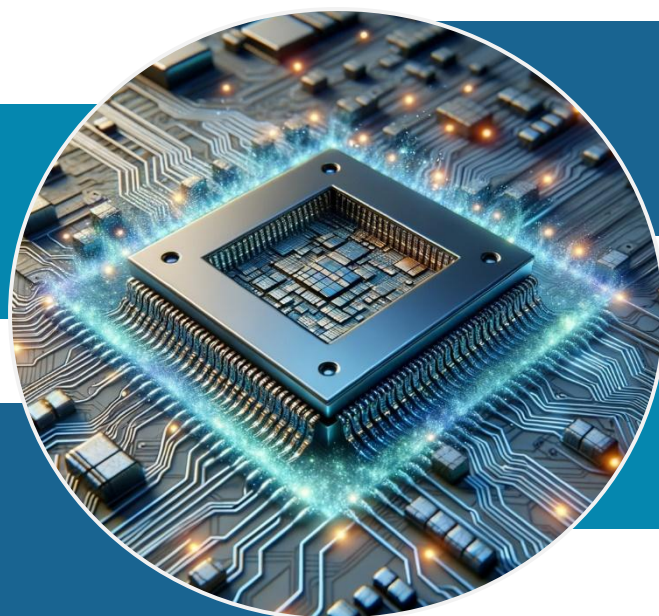
強化國內培育環境
吸納全球研發人才

3

加速產業創新所需
異質整合及先進技術

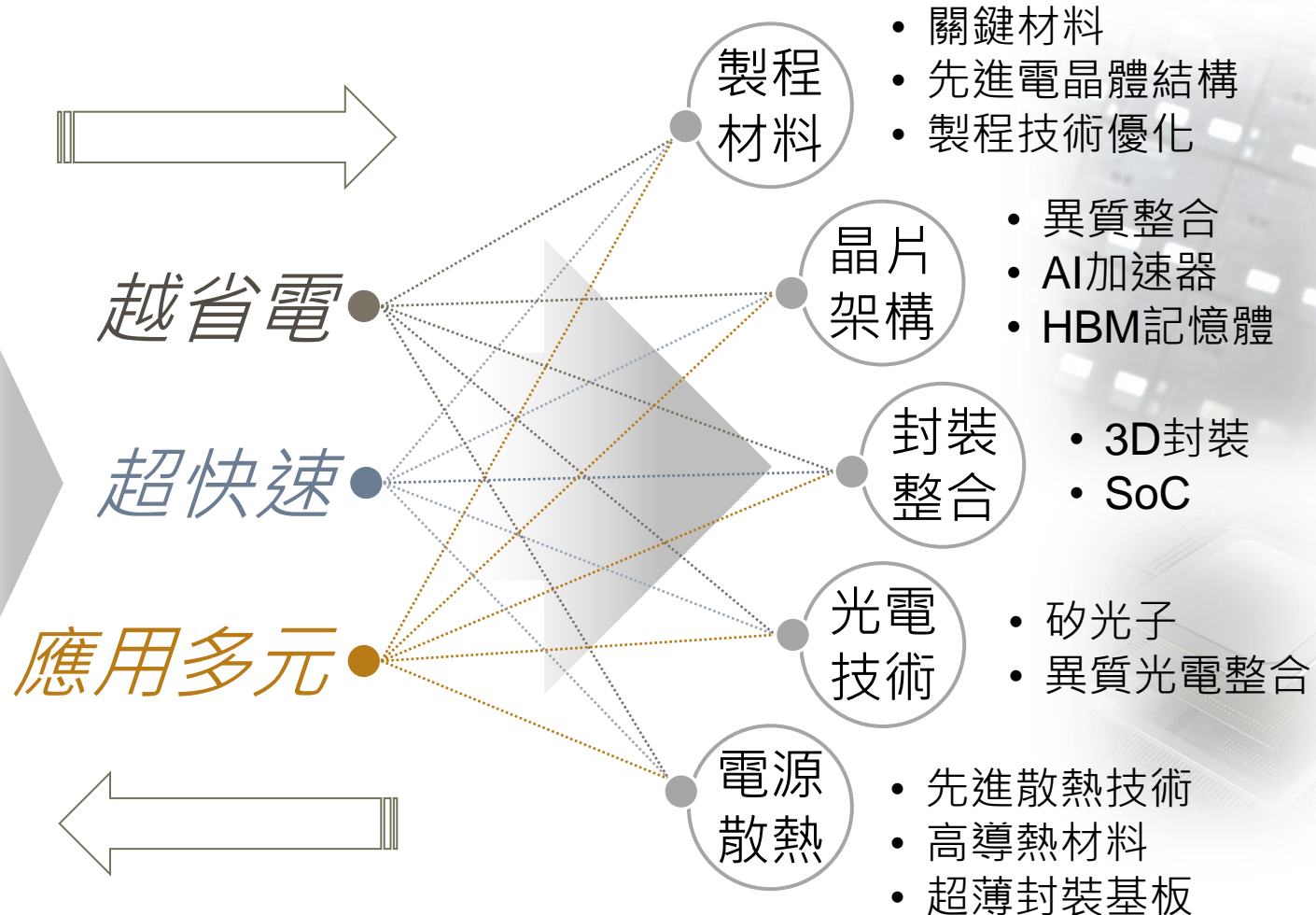
4

利用矽島實力
吸引國際新創與投資來臺



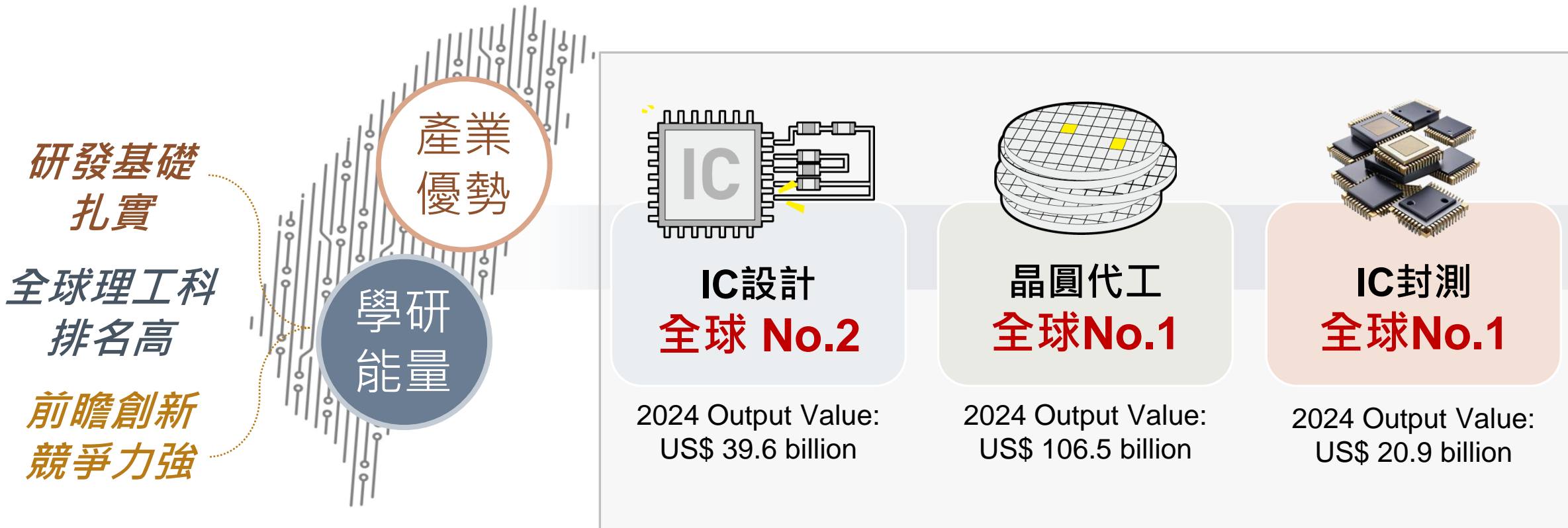
背景介紹(1/3)

AI時代加速半導體創新發展 引領技術突破與應用多元化



背景介紹(2/3)

持續投入半導體技術研發，強化晶片設計與製造競爭力，
加速布局高值應用，穩固我國半導體領先地位



背景介紹(3/3)

掌握高效能半導體晶片關鍵自主技術與培育多元晶片設計與製造人才，
帶動新興產業成長動能，邁向2035年晶片建構創新應用生態系

第一期(113-114)徵案重點 (113/5/1-115/4/30)

分項一 高運算力 晶片

以16/7-nm製程評估高算力晶片方案:

- 高算力晶片架構與異質堆疊
- 整合高頻寬記憶體的高算力晶片
- 超低節能的資料傳輸解決方案
- AI邊緣應用之完整解決方案

分項二 高頻、高功率 電路與模組

採用非CMOS製程(如SiC, Ga₂O₃, GaN, InP, Silicon Photonics, ...等):

- 高頻電路與模組
- 高功率電路與模組
- 矽光子技術

分項三 前瞻技術挑戰

超低功耗、高節能感測及引領不同產業新的發想/需求的晶片與異質整合軟硬體解決方案

計畫整併
規劃

第二期(115-117)徵案重點 (115/6/1-118/5/31)

分項一 高能效與 高速運算晶片

以16/7-nm製程評估高算力晶片方案:

- 高算力晶片架構與電路設計
- 整合高頻寬記憶體的高算力晶片
- 超低節能的資料傳輸解決方案

分項二 高功率、高傳輸 電路與晶片模組

- AI伺服器的高功率密度電源模組
- AI Edge高能效功率電路與模組
- 矽光子技術

分項三 邊緣運算晶片應用

- AI晶片邊緣應用之完整解決方案
- 擴增AI應用於生活面向與百工百業
- 超低功耗、高節能感測

分項四 先進晶片製造技術

3D X 3D 技術:

- 關鍵材料、元件結構創新、製程技術優化、封裝技術推進、檢測分析方法

第二期計畫架構

推動重點

- 以高階矽基製程(16/7-nm)投入高運算力晶片架構，全程邁向POPS的算力
- 推動未來五至十年後摩爾定律時代三維先進晶片製造技術布局及人才培育

- 高算力晶片架構與電路設計
- 整合高頻寬記憶體的高算力晶片模組
- 超低節能的資料傳輸解決方

01
高能效與
高速運算
晶片

- 高效能功率電路與模組
- 矽光子技術

02
高功率、高
傳輸電路與
晶片模組

- AI晶片邊緣應用之完整解決方案
- 擴增AI應用於生活面向與百工百業
- 超低功耗、高節能感測

03
邊緣運算
晶片應用



04
先進晶片
製造技術

- 關鍵材料開發
- 元件結構創新
- 製程技術優化
- 封裝技術推進
- 檢測分析方法

NIAR 國家實驗研究院 NATIONAL INSTITUTES OF APPLIED RESEARCH 晶片實作/製造/支援

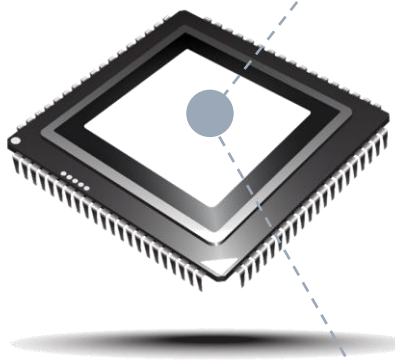
Industrial Technology Research Institute

晶片整合/測試/驗證

分項一：高能效與高速運算晶片

	115	116	117
高運算力 或 高能效算力	200 TOPS	500 TOPS	1 POPS
	10 TOPS/W	50 TOPS/W	100 TOPS/W

以16/7-nm製程評估高算力晶片方案，研究主軸包含但不限於下列領域



高算力晶片
架構與電路設計

整合高頻寬記憶體
的高算力晶片模組

超低節能的
資料傳輸解決方案

採用同質(單態樣運算核心)、異質運算(多態樣核心，如CPU+GPU+AI Engine)的整合設計，包含內建處理器(ARM, RISC-V, ...)以及客製化的硬體加速器(AI Accelerators)，並具有可延展性的實現方案，針對8bit(定點或浮點運算)的大型語言模型(>10B Model)或小模型(<10B Model)邊緣AI應用需求的運算需求，達成全程POPS的算力指標，同時考慮前述電路與系統之先進散熱技術與封裝。

探討不同記憶體模組(DDR4/5, HBM, AIM, ...等)及軟硬體整合，有效提升整體運算效能，並以MLPerf的評比指標展現系統效能。

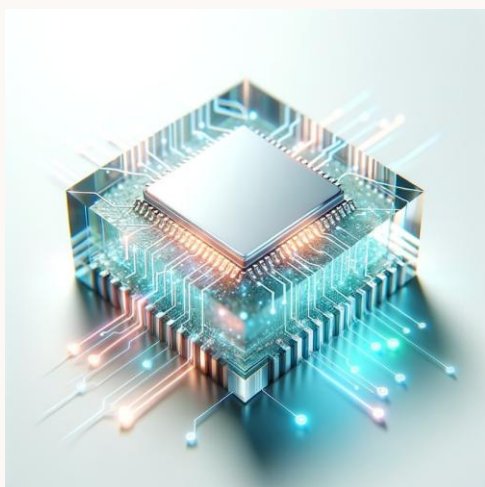
透過異質整合的堆疊技術，包含晶圓層級的封裝與小晶片的可程式化先進封裝，滿足大型語言模型運算所需求的超大頻寬與節能傳輸需求。

分項二：高功率、高傳輸電路與晶片模組

探討高能效、高傳輸電路與晶片模組的研發，研究主軸包含但不限於下列領域



高效能功率電路與模組	全程目標
高能效功率電路與模組，應用於AI edge	<ul style="list-style-type: none">• 輸出功率 50 W• 功率密度 4000 W/in³• 效率 95%
低壓、高操作頻率及高功率密度電路與模組，應用於資料中心與AI伺服器的電源供應	
上述電路與系統之先進散熱技術與封裝	

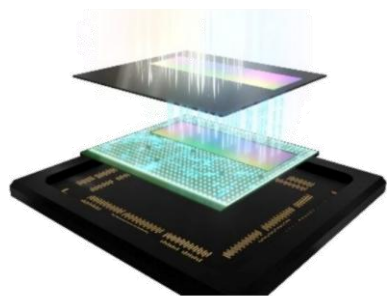


矽光子技術研發	全程目標
超高速低功耗光連結技術、異質光電整合技術、超高頻寬驅動及接收電路、光電晶片先進封裝與測試等，以應用於AI晶片連結、AI高速運算、資料中心。	<ul style="list-style-type: none">• 矽光子光收發機單通道 200Gb/s(功耗 <5pJ/bit ; 低延遲 <100ns) , 且具有 WDM 技術, 可在兩個波長以上進行傳輸。• 亦需將 CPO 與 chiplet 系統層級的規劃、整合、驗證與模擬等完整開發能力納入整體考量。

分項三：邊緣運算晶片應用(1/2)

	115	116	117
高節能感測 能源效率	20 pJ/b	5 pJ/b	1 pJ/b

本分項建議的研究主軸包含但不限於下列領域



超低功
耗運算

探討超低功耗的演算法、系統架構、以及電路實現方案，達成能耗低於**fJ/b**的推論功能。

高節能
感測

完成高解析、低延遲感測晶片解決方案，全程能源效率達**1 pJ/b**。
(影像數據量： $>1\text{Tb/s}$ ；深度資訊： $<1\text{cm}$ ；能源效率： $<1\text{pJ/b}$)

產業應用
服務創新

以**異質整合**方式結合特殊應用感測晶片與高算力晶片、系統軟體，引領產業應用與服務創新者。

AI晶片
邊緣應用

因應晶片設計符合未來生活各面向之需求，以及政府施政的科技落地應用策略，亦可提出**AI晶片邊緣應用設計**，甚至連結IoT聯網的完整edge inferencing、edge learning、驅動軟體、低耗能作業系統、前瞻通訊晶片與系統整合等技術研發。



分項三：邊緣運算晶片應用(2/2)

專用晶片
系統整合

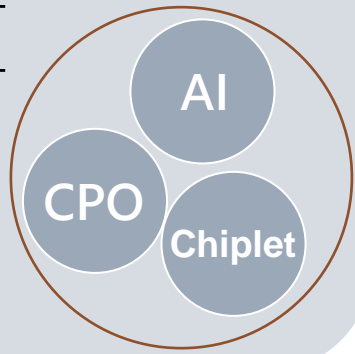
機器人、無人載具、衛星通訊等多元應用場域所需之**專用晶片**，可提出晶片設計與系統整合方案，並規劃對應之驗證方法，以確保晶片能於實際情境中落地應用。

系統層級
需求規格

功能設計

專用晶片設計

- 系統階層模擬 → 定義子模組性能規格
- 架構設計與整合
- 邏輯設計
- 電路設計

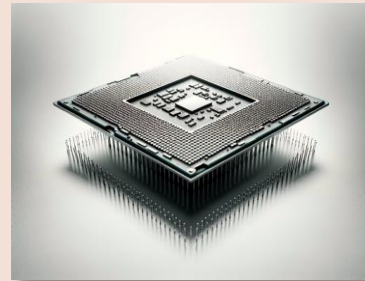


學界晶片技術開發Prototyping

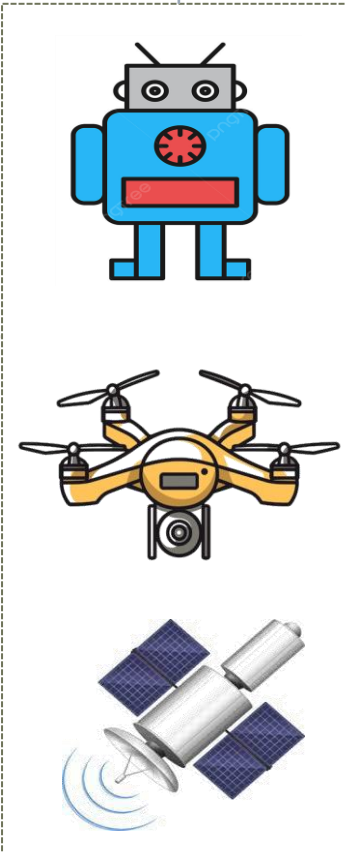
晶片製作與驗證

NTAR 國家實驗研究院
NATIONAL INSTITUTES OF APPLIED RESEARCH

工業技術研究院
Industrial Technology
Research Institute



系統產品
銜接



分項四：先進晶片製造技術

本分項建議的研究主軸包含但不限於下列領域



關鍵材料

- 新通道材料
- 高介電常數材料
- 低阻抗互連材料
- 接合/隔離/散熱材料



元件結構

- 先進電晶體結構
- 嵌入式記憶體
- 功率元件
- 先進感測與微機電元件



製程封裝

- 聚焦三維微縮與三維堆疊製程之模組與整合技術
- 開發三維封裝方法



檢測分析

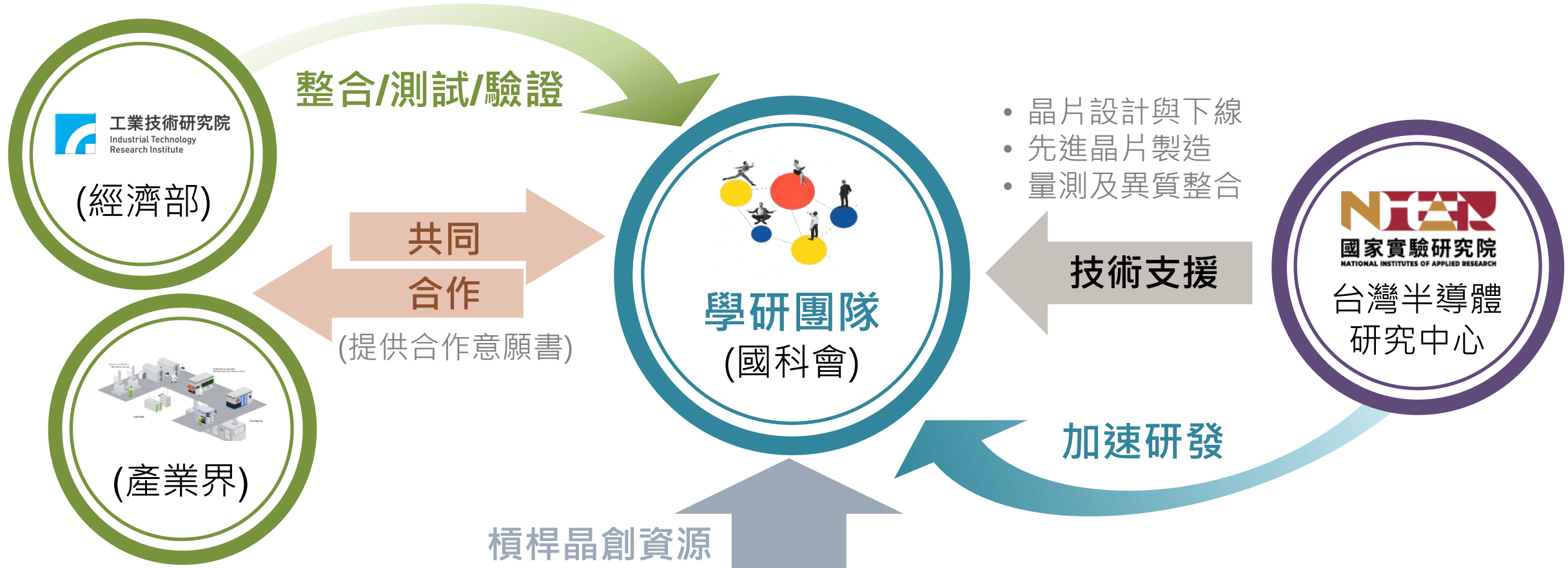
- 建立先進檢測工具與標準，用於驗證3D×3D技術的PPA指標

以**3D×3D**技術支持後摩爾定律時代先進晶片製造，達成**每兩年等效性能PPA**(性能(performance)、功耗(power)與面積(area))**倍增**的願景。

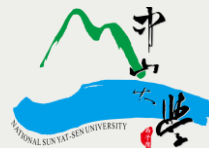
PPA指標需同時考慮性能、能耗與面積，建議指標如TOPS/W-mm²，同時考量處理速度、功耗倒數、元件面積倒數之乘積，乘積越大代表所發展技術之等效性能越好。

	115年	116年	117年
PPA 指標	建立PPA指標每兩年倍增的可行性	PPA 指標較 114 年 2nm 技術 成長 100%	PPA 指標較 114 年 2nm 技術 成長 200%
以嵌入式記憶體為例，2nm SRAM單位位元面積為 0.021um ²	功耗及速度與2nm SRAM相當下，單位位元面積應不大於 0.021um² ，初步達PPA指標與2nm SRAM相當	功耗及速度與2nm SRAM相當下，單位位元面積應不大於 0.0105um² ，提升PPA指標至2nm SRAM 2倍	功耗及速度與2nm SRAM相當下，單位位元面積應不大於 0.007um² ，提升PPA指標至2nm SRAM 3倍

與業界/法人單位合作

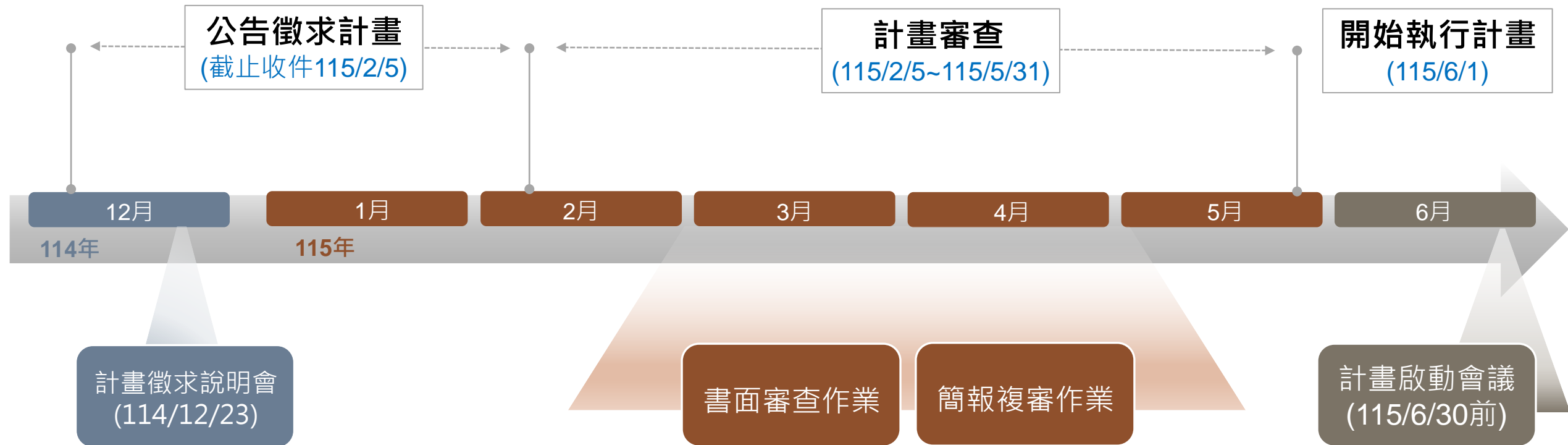


半導體學院重點設備建置計畫



計畫時程規劃

- 計畫時程 ▪ 專案須規劃申請**3年期**計畫，自**115年6月1日至118年5月31日**。
- 研究型別 ▪ 申請多年期(115/6/1~118/5/31)**單一整合型**研究計畫為限。
- 申請經費 ▪ 每年不超過**2000萬元**。



計畫書撰寫注意事項

目標 導向

鼓勵學界勇於提出不同於現有技術之**前瞻性解決方案**，以達成本計畫挑戰國際級成果之精神，並陳述各年度研發目標、規劃藍圖(Roadmap)、國內外現況分析、所欲達成之量化技術指標、達到該指標之執行策略等要項。

資源 整合

為導入軟硬體系統整合技術以實現次系統之展示，鼓勵籌組**跨領域研究團隊**，並**槓桿晶創計畫中晶片製造與設計環境建置資源**(含TSRI、半導體學院、工研院)。各子計畫間的垂直整合之規劃需於計畫書中具體敘明。

產學研 合作

本專案計畫鼓勵於計畫書內陳述與**業界**或**經濟部法人單位**有實質合作之規劃項目與內容，並附上【合作意願書】，作為計畫評分的參考。

國際 影響力

鼓勵與國際團隊共同合作或交流，並積極參與相關國際性活動如國際頂尖會議與國際頂尖期刊論文發表，以提升台灣晶片設計研發實力。

計畫申請注意事項(1/2)

單一整合型 研究計畫

- 每一整合型計畫需含**總計畫**與至少**3項**子計畫，以不超過六個為原則。
- 總計畫主持人須同時主持**1項**子計畫，僅總計畫主持人列入本會專題研究計畫件數計算。

研究 主持費

- 本專案之總計畫及子計畫主持人，本會得核給研究主持費最高每個月新台幣**30,000元**，計畫執行期間僅得支領**1份**研究主持費。
- 總/子計畫主持人於計畫執行期間僅得支領**1份**研究主持費，同一執行期限若同時執行**2件**以上，以最高額度計算，並得於不同計畫內採差額方式核給。

審查 核定

- 審查方式包括初審及複審，如有必要將安排計畫申請人簡報計畫內容。
- 本計畫屬專案計畫，審查未獲通過者，恕無申覆機制。

計畫申請注意事項(2/2)

人力與資源配置

國科會工程處115年度分別推動「**矽光子前瞻技術研發與應用計畫**」、「**高效能晶片關鍵技術與創新應用計畫**」及「**高效能化合物半導體前瞻技術研究計畫**」計畫徵求，為確保三項專案間人力與資源配置之合理性，並促進學研團隊有效投入具代表性與互補性的研究主題，相關申請規範如下，並填寫**聲明書**。

- 研究人員得以整合型計畫之總計畫主持人或子計畫主持人身分參與申請，但其參與身分不得超過下列任一組合(**至多申請兩項專案**)：

- 擔任一整合型計畫之總計畫主持人，並同時擔任另一整合型計畫之一個子計畫主持人。
- 擔任兩個不同整合型計畫之各一個子計畫主持人。
- 除上述情形外，不得再同時擔任其他總計畫或子計畫主持人職務。
- 上述限制適用於同一專案內及不同專案間，以避免重複申請或職務重疊。

- 若計畫團隊成員或計畫內容於同一專案內或不同專案間具有高度重疊性，此部分將納入計畫審查與評分之重要考量。



本表旨在了解跨團隊及跨專案參與情形，若為**未參與『本件申請計畫』以外之任何團隊計畫，則填寫『無』。**

計畫項目	主持人姓名	主持人簽名	矽光子前瞻技術研發與應用計畫	高效能晶片關鍵技術與創新應用計畫	高效能化合物半導體前瞻技術研究計畫
總計畫	王大明	(簽名)	例：於「矽光子前瞻技術研發與應用計畫」-「XXX」計畫擔任子計畫二主持人	無	無
子計畫一		(簽名)	無	例：於「高效能晶片關鍵技術與創新應用計畫」-「XXX」計畫擔任總計畫主持人	無
子計畫二		(簽名)	無	例：於「高效能化合物半導體前瞻技術研究計畫」-「XXX」計畫擔任子計畫三主持人	無
子計畫三		(簽名)	無	無	無
子計畫四		(簽名)	無	無	無
子計畫五		(簽名)	無	無	無
子計畫六		(簽名)	無	無	無

請針對表列三項專案，填寫您『非本件申請計畫』參與的具體情形(含跨專案、或同一專案內之不同團隊計畫)。若您參與其他團隊計畫，請註明專案名稱、計畫名稱及職稱；若未參與本件申請計畫以外之其他計畫，則填寫「無」。

計畫審查重點

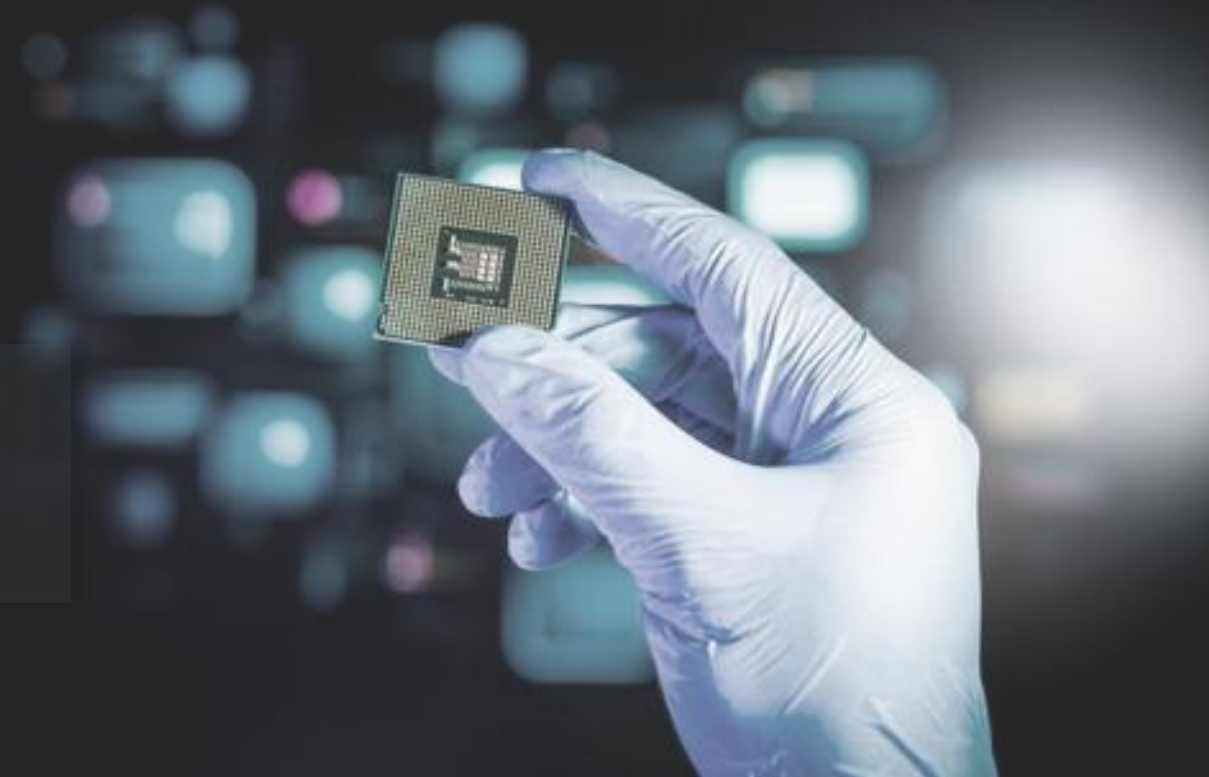
審查
重點



- 01 計畫提案之企圖心與本計畫欲突破晶片規格項目之切合度
- 02 技術可行性：需提出具體分年技術規劃藍圖(Roadmap)
- 03 新穎性與學術研究卓越，與國際指標之逐年比對規劃
- 04 計畫所提技術之理論基礎
- 05 計畫主持人之執行力
- 06 團隊成員之互補性與跨專長、跨學門資源整合能力
- 07 產業合作(含工研院)與未來落地應用之規劃
- 08 槓桿晶創計畫中晶片製造與設計環境建置資源(含TSRI、半導體學院、工研院等)之規劃
- 09 關鍵專利之布局規劃

Thank You

積極推動，持續發想
提供學者發揮專業的舞台

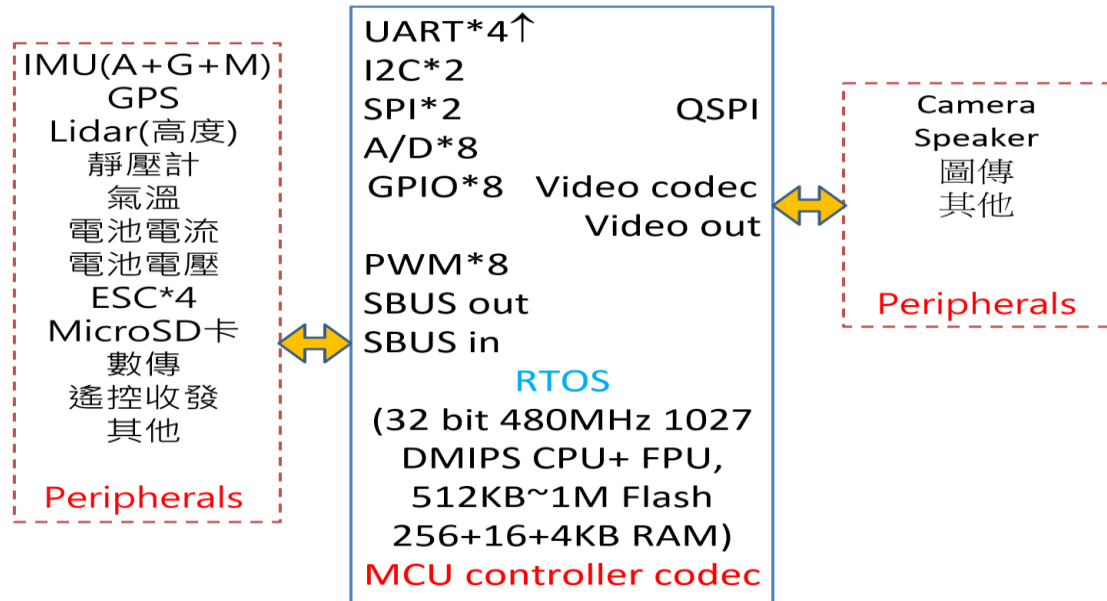


計畫收件截止日：115年2月5日(星期四)

附錄

無人機晶片開發-FPV飛行控制晶片

(flight control chip)



- **背景：**四軸FPV (第一人稱視角)無人機用於飛行娛樂和競賽以訓練飛手，戰時則為兩軍接近時的偵搜與攻擊，相當於肉搏前哨戰。
- **功能：**飛控需自穩能力(減低使用門檻)並接受飛手依照FPV回傳影像操作飛機。
- **晶片需求：**航空感測所需介面、圖傳影像處理與通訊系統(7km抗干擾)、飛行控制演算、輸出控制四顆馬達、電流電壓感測之電能管理和有線光纖通訊介面等。(refer ST32N657, ST32H743, ST32F722)。
- **軟體需求：**有low level driver、c-compiler和IDE開發除錯環境。

Timer : • 4x 32-bit timers with up to four IC/OC/PWM or pulse counters and quadrature (incremental) encoder input (up to 240 MHz) • 2x 16-bit advanced motor control timers (up to 240 MHz) • 13x 16-bit general-purpose and 5x 16-bit low-power timers (up to 240 MHz) • 2x watchdogs (independent and window) • 1x SysTick timer

PWM : 12*16-bit PWM out

UART : 8 channel up to 12.5 Mbit/s

SBUS UART : 100KHz and 200KHz, 8bit data, even parity and 2bit stop, inversed signal logic (1-low V, 0-high V)

I2C : 4x I2Cs with 100 kbit/s, 400 kbit/s and 1Mbit/s. Slave and Master modes, 7-bit and 10-bit addressing mode.

USB3.0 : x1

SPI : 4xSPIs, 25~150 Mbits/s, configurable from 4 to 32 bits, hardware CRC for TX and RX

QSPI : x1, up to 133 Mbits/s

Camera interfaces : Parallel and 2-lane CSI-2, via DMA2D.

A/D : 8 channels, 16-bit resolution (up to 3.6 MSPS), filters. 1x temperature sensor

D/A : 2x 12-bit D/A converters (1 MHz)

GPIO : 16 channels, can sink or source up to ± 8 mA, and sink or source up to ± 20 mA, output timing up to 2 MHz.

DMA : 16 concurrent channels, 8-, 16-, and 32-bit data accesses

GPU : 2.5D scaling, rotation, alpha blending, texture mapping, perspective transformation

DMA2D : 1 channel, dedicated to image manipulation, 4~32-bit per pixel color mode, including YCbCr to handle JPEG decoder output.

JPEG codec : 8-bit JPEG codec encodes uncompressed image data stream or decodes JPEG-compressed image stream.

Video encoder : a hardware acceleration to encode a 1080p15 video stream in H264(MJPEG), also provides to encode still images (JPEG) of up to 300 Mpixel/s, embeds a large 128-Kbyte video RAM.

無人機晶片開發-智慧飛行晶片 (Smart flight chip)

Core (x2)

Arm® 32-bit Cortex®-M55 (frequency up to 800 MHz) or Cortex®-M85
Half, single and double precision FPU supports vector and scalar half-, single-, and double-precision

Memories

SRAM : 4.2-Mbyte contiguous

DRAM :

Flash : including program flash and data flash

Neural processing unit

Accelerator : frequency up to 1 GHz, 600 Gops ~ 2Tops (Specialized hardware units for DNN and others inference functions)

Controller : accelerator has a specialized DMA(DMA2D) dedicated to image manipulation.

Graphics & video

GPU : 2.5D scaling, rotation, alpha blending, texture mapping, perspective transformation.

JPEG codec : 8-bit JPEG codec encodes uncompressed image data stream or decodes JPEG-compressed image stream.

Video encoder : a hardware acceleration to encode a 1080p 15 video stream in H264(MJPEG), also provides to encode still images (JPEG) of up to 300 Mpixel/s, embeds a large 128-Kbyte video RAM.

DMA

GPDMA : 16 concurrent channels, 8-, 16-, and 32-bit data accesses

HPDMA : 16 concurrent channels, 8-, 16-, and 32-bit data accesses

DMA2D : 1 channel, dedicated to image manipulation, 4~32-bit per pixel color mode, including YCbCr to handle JPEG decoder output.

Interface

Timer : • 4x 32-bit timers with up to four IC/OC/PWM or pulse counters and quadrature (incremental) encoder input (up to 240 MHz) • 2x 16-bit advanced motor control timers (up to 240 MHz) • 13x 16-bit general-purpose and 5x 16-bit low-power timers (up to 240 MHz) • 2x watchdogs (independent and window) • 1x SysTick timer

PWM : 12*16-bit PWM out

UART : 8 channels up to 12.5 Mbit/s

SBUS UART : 1 channel, 100KHz and 200KHz, 8bit data, even parity and 2bit stop, inversed signal logic (1-low V, 0-high V)

USB3.0 : 1 channel

I2C : 4x I2Cs with 100 kbit/s, 400 kbit/s and 1Mbit/s. Slave and Master modes, 7-bit and 10-bit addressing mode.

SPI : 4x SPIs, 25~150 Mbits/s, configurable from 4 to 32 bits, hardware CRC for TX and RX

QSPI : 1 channel, up to 133 Mbits/s

Camera interfaces : parallel and 2-lane CSI-2, via DMA2D directly fed to the NPU.

Ethernet : 10-Mbit, 100-Mbit, and 1-Gbit Ethernet with TSN (time-sensitive networking)

A/D : 8 channels, 16-bit resolution (up to 3.6 MSPS), filters and one temperature sensor

D/A : 2 channels 12-bit D/A converters (1 MHz)

GPIO : 12 pins, can sink or source up to ± 8 mA, and sink or source up to ± 20 mA, output timing up to 2 MHz.

Security

These microcontrollers have TrustZone®-aware support and a memory protection unit (MPU) for enhanced application security. A secure boot ROM ensures secure booting from external interfaces. Two AES coprocessors.

Cryptography : two AES coprocessors

Debug : serial-wire debug, JTAG

Package : 142, 169, 178, 198, 223, 264 BGA

The devices operate in the -40 to $(+105^{\circ}) +125^{\circ}\text{C}$ temperature range, from 1.71 to 3.6 V power supply, and under 3W power consumption.

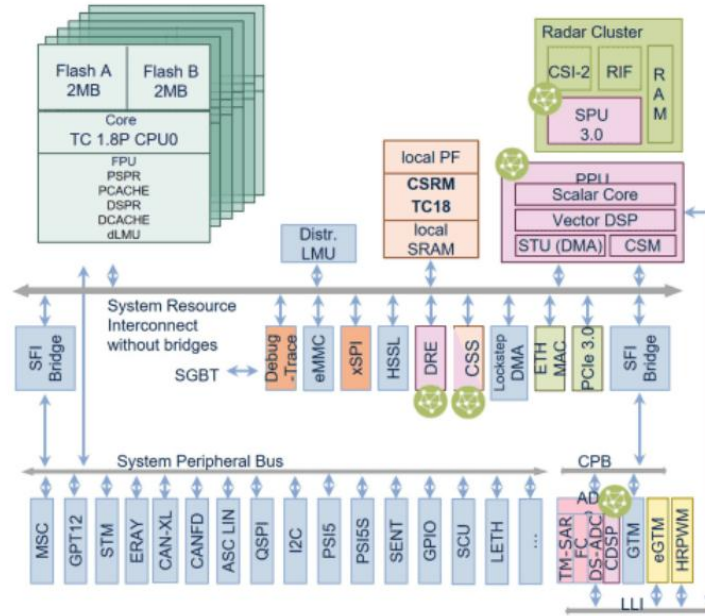
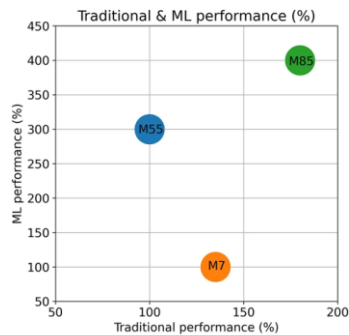


- 背景：固定翼與旋翼無人機要具有智慧視覺，常是一塊飛控和一塊又大又耗電的nVidia板，並不適合中小型無人機的使用。
- 晶片需求：航空感測所需介面、圖傳影像處理與通訊系統(7~20km抗干擾)、飛行控制演算、AI模型演算、輸出控制四顆馬達、電流電壓感測之電能管理等。(refer ST32N657, Infineon TC4x)。
- 軟體需求：有low level driver、c-compiler和IDE開發除錯環境。



無人機晶片開發-參考資料

	Cortex-M7	Cortex-M55	Cortex-M85
Architecture	Arm v7-M	Arm v8.1-M	Arm v8.1-M
Security			PACBTI
		Unprivileged Debug Extension	Unprivileged Debug Extension
		Stack limit checking	Stack limit checking
		TrustZone	TrustZone
MPU (PMSAv7)	MPU (PMSAv8)	MPU (PMSAv8)	
Pipeline	6-stage superscalar and branch prediction	4-stage (for main integer pipeline)	7-stage scalar pipeline and 9-10 stage vector and floating-point pipeline
Helium (MVE)	Not supported	Supported	Supported
FPU	fp32, fp64 FPv5	fp16, fp32, fp64 FPv5	fp16, fp32, fp64 FPv5
MACs per cycle	1 32bx32b	8 8bx8b 4 16bx16b 2 32bx32b	8 8bx8b 4 16bx16b 2 32bx32b
CoreMarks/MHz	5.29	4.4	6.28
DMIPS/MHz	2.31/3.23/6.78	1.69/2.16/5.32	3.13/4.52/8.76



AURIX™ TC4Dx | Infineon Technologies

Embedded Memories	Arm® Cortex®-M55 800 MHz TrustZone® MVE	Connectivity
4.2 MB Contiguous RAM	ST Neural-ART accelerator 600 Gops	3x FDCAN
BOOT 128 KB		2x USB2.0 D/H HS + HS PHY
8 KB Backup RAM		1x UCPD controller
4 KB Debug RAM		3x I²C + 2x I3C (SDR)
	System	5x UART, 5x USART
External memory interfaces	96-bit unique ID	6x SPI (incl. 4x I2S)
Hexa-SPI	Watchdogs	1x ULP UART
Octo-SPI	Cyclic redundancy	1x Gbit ethernet with TSN
Flexible memory controller (PSRAM, SDRAM, NOR, NAND, TFT-LCD)	Check (CRC)	Audio
2x SD/SDIO/MMC	XTAL % internal osc	SPDIF-RX/TX
	Security	2x SAI
Graphics	Security boot	1x MDF (6 filters)
Chrom-ART™ accelerator	Secure RTC	1x ADF filter (with SAD)
Chrom-GRC™	Analog true RNG	Analog
NeoChrom GPU accelerator	Crypto/Hash	Digital temperature sensor
LTDC/TFT-LCD Display controller	Tampering	2x 12-bit ADC 5 MSPS
	OTP fuses 8 KB	Timers/Control
Multimedia	Camera pipeline	2x 16-bit motor control PWM synchronized AC timers
H.264 encoder	MIPI CSI-2, 2 lanes Camera I/F Parallel 16-bit with PSSI	12x 16-bit timers
JPEG codec	Image signal processor	5x 16-bit LP timers
		4x 32-bit advanced timers

STM32N657X0 | Product - STMicroelectronics