



NAR Labs 國家實驗研究院

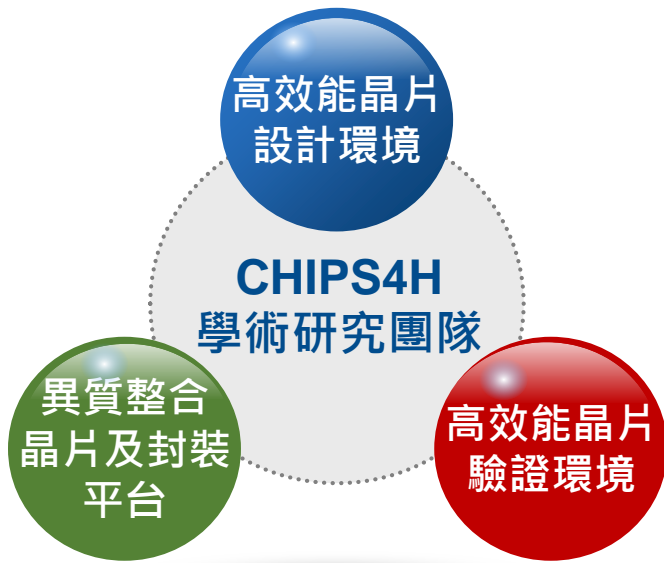
台灣半導體研究中心

Taiwan Semiconductor Research Institute

TSRI服務平台規劃

Dec. 20, 2023

TSRI服務平台規劃



- 7/16 nm FinFET 製程設計環境
- 主被動矽光子製程設計環境
- 180nm BCD、12V/650V GaN製程設計環境
- 引進40nm / 90nm BCD、CIS等特殊製程

- 引進關鍵矽智財(運算處理器、晶片內/間互聯電路、高頻寬記憶體控制電路)
- 高效能運算(HPC)晶片虛擬驗證環境
- 雛型驗證(基於FPGA)環境

- 自主晶片級(die level) μ bump技術
- CMOS backside TSV 技術
- 先進2.5D/3D異質封裝整合驗證
- 共同封裝光學元件(CPO)技術
- 先進異質封裝驗證EDA環境

■ 關鍵矽智財

● 運算處理器

- ANDES RISC-V處理器核心：包含N25F, NX25F, D25F, A27, AX27L2, AX45MP, AnDLA I350, ACE, AndesSight, AICE
- Arm處理器核心：Neoverse系列CPU以及Arm Academic Access可取得的所有處理器核心，例如Cortex-A55等

● 晶片內互聯電路

- Arm CORELINK CMN(Coherent Mesh Network)

● 晶片間互聯電路

- UCIE

● 高頻寬記憶體控制電路

- HBM(標準介面及國內廠商自訂介面)

*紅字為確認中

■ 虛擬驗證環境

- 基於Synopsys Platform Architect/Virtualizer，建立虛擬驗證環境。在虛擬驗證環境所需的關鍵矽智產的模型，例如Neoverse系列CPU以及Arm CORELINK CMN，TSRI亦規劃同步引進。

■ 雛型驗證環境

- 持續提供Synopsys HAPS FPGA雛形驗證環境使用服務。在完整HPC驗證方面，由於完整電路極為龐大複雜，TSRI規劃以Emulator來進行，例如使用Synopsys Zebu進行emulation。

*紅字為確認中

■ TSRI製程服務

● 特殊製程

- TSMC 0.5 μm 12V/650V GaN製程，可設計高功率變壓器、充電器和逆變器IC晶片模組
- 0.18 μm image/optical sensor technology製程
- 90/40 nm BCD (Bipolar-CMOS-DMOS)製程

製程種類	年度常規梯次
TSMC 7 nm (N7)	1
TSMC 16 nm FFC	2
TSMC 28 nm HPC+	3
IMEC silicon photonics	1
0.18 μm image/optical sensor technology	2 (提供之Foundry與實作服務梯次數待確定)
TSMC 90/40 nm BCD	1 (洽談爭取中)
TSMC 0.5 μm 12V/650V GaN	2

■ 晶片與IPD、2.5D中介層(interposer)和電路板整合設計

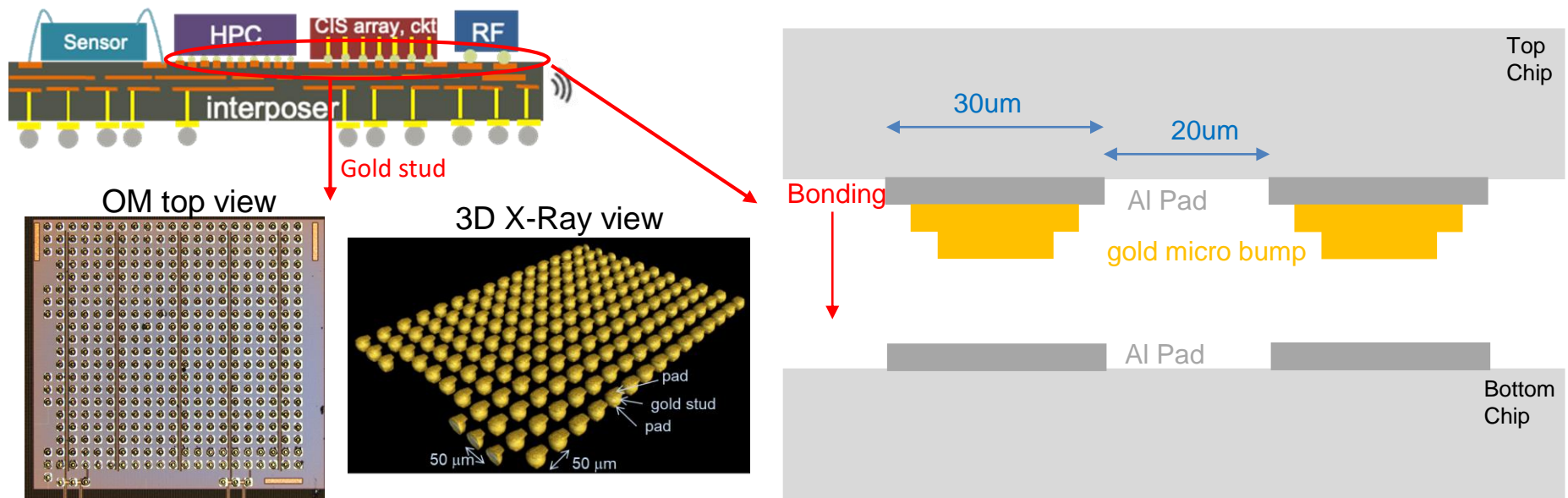
- 提供IPD/中介層與電路板(PCB)打線(wire bond)/覆晶對接及晶片與IPD/中介層打線/覆晶對接製作技術。

■ 8吋CMOS backside TSV技術

- 0.18 μm CMOS中除了有六層金屬層可供繞線外，也有主動元件和被動元件：MiM電容及電感來讓使用者可以有更多樣性的整合，而且這些主被動元件和金屬線皆有PDK，可以讓設計者在整合前進行模擬及設計調整。
- 初期TSV孔徑為40 μm ，為因應高效能晶片之整合，會先進行TSV孔徑微縮化到20 μm ，最終達到10 μm 。

■ TSRI自主晶片級microbump技術

- 初期以50 μm pitch為目標，再開發更微縮45 μm pitch之技術。



Gold stud diameter $\sim 28 \mu\text{m}$, pad pitch $50 \mu\text{m}$ (pad: $30 \times 30 \mu\text{m}^2$)

■ 晶片級/晶圓級覆晶(flip chip)封裝

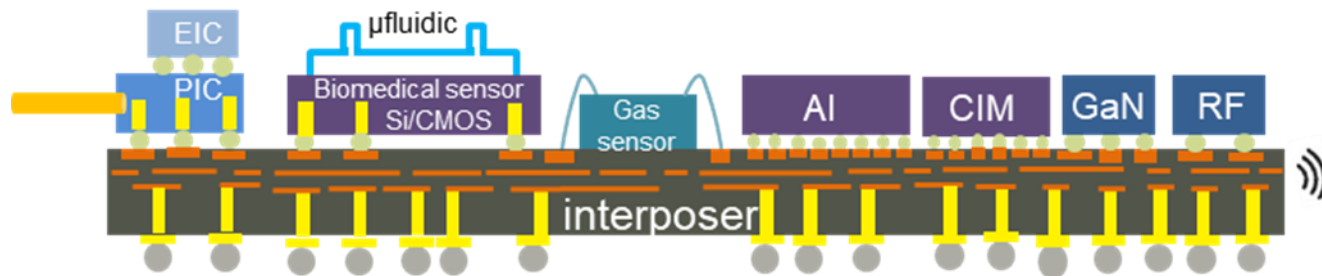
- 提供晶圓對晶圓、晶片對晶圓及晶片對晶片覆晶封裝技術服務。

■ 晶片級2.5D封裝(chip on chip on PCB)

- 提供團隊以chip on chip on PCB(CoCoP)之垂直堆疊方式進行晶片級2.5D整合封裝。

■ 先進異質封裝驗證EDA環境技術

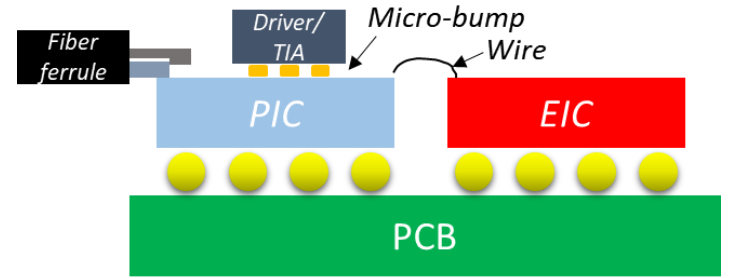
- 萃取TSRI自主晶片級microbump及0.18 μm CMOS backside TSV的DC/RF特性，並結合0.18 μm CMOS 中介層中的金屬及Via特性提供學術界先進異質封裝驗證EDA環境，讓使用者在進行異質整合封裝前即可進行模擬，來確認整合後的特性是否符合規格。



共同封裝光學元件(CPO)技術

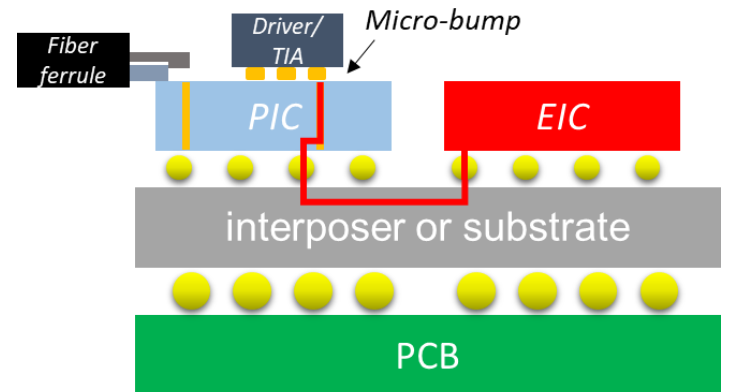
■ PHASE 1: Standard module

- Electrical path through PCB
- Flexible
- BW and power consumption limitations



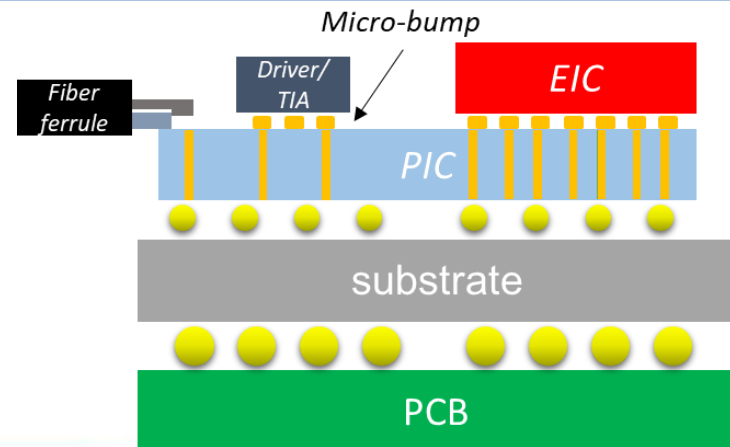
■ PHASE 2: Co-package with optical transceiver

- Electrical path through IPD
- PIC through TSV: IMEC + TSRI
- Co-packaging challenging: thermal issues, supply density



■ PHASE 3: Photonic interposer

- Electrical to Photonic directly
- PIC through TSV: IMEC + TSRI
- Co-packaging challenging: thermal issues, supply density, cost of large photonic interposer



TSRI服務平台Milestone

113年

114年

115年

116年

117年

技術里程碑

1.完成
7nm設計
驗證環境
建置

2.提供
高效能
FPGA
雛型驗證
系統

1.CIS、
40/90
nm BCD
製程環
境建置

2.CMOS
BS TSV
平台良
率達
60%

1.提供PIC
BS TSV
技術進行
EIC/PIC
整合

2.提供先進
異質封裝
驗證
EDA
環境

1.完成
7nm電磁
模擬基板
參數設定

2.串接多個
FPGA軟
硬體偕同
驗證系統

1.完成自主
45 μ m
pitch
 μ bump
技術開發

2.提供共同
封裝光學
元件
(CPO)
技術平台

晶片設計及驗證環境: 陳麒旭組長 (cschen@narlabs.org.tw)

前瞻製程服務及設計平台: 曾聖翔組長 (shtseng@narlabs.org.tw)

矽光子技術服務及設計平台: 林銘偉副組長(mwlin@narlabs.org.tw)

異質整合晶片及封裝平台: 蔡瀚輝組長 (hhtsai@narlabs.org.tw) ,
薛漢鼎組長(handing@narlabs.org.tw)