

次世代電阻式記憶體發展

國立中山大學物理系 張鼎張 施志承 陳柏勳

一、前言

近年來科技進展迅速，各式電子產品與應用技術推陳出新，行動裝置如平板電腦、智慧型手機、數位相機等，早已成爲人們生活中的一部分。其中電子記憶體是不可或缺的技術，電子記憶體大致可區分爲揮發性記憶體(Volatile memory)和非揮發性記憶體(Non-Volatile memory, NVM)，揮發性記憶體主要爲 DRAM (Dynamic Random Access Memory, DRAM)和 SRAM (Static Random Access Memory, SRAM)兩種，優點爲存取速度極快，且沒有讀寫次數的限制，所以從個人電腦(PC)時代至今仍被廣泛的運用，不過 DRAM 或 SRAM 移除電源後，儲存的資料訊號會立即消失，未來應用趨勢已轉向非揮發性記憶體作爲主流記憶體。因此，近年快閃記憶體(Flash Memory)高速發展，目前是最爲普遍的非揮發性記憶體，能在沒有電的情況下保存資料，廣泛應用於行動通訊裝置(智慧型手機、平板電腦等)及存儲裝置(隨身碟、固態硬碟等)。現在，快閃記憶體已面臨到操作電壓過高、耐久度不足以及在元件不斷微縮的趨勢下，讀寫速度無法跟上中央處理器(CPU)的計算速度，且有可靠度降低等問題。面對快閃記憶體在製程上已達微縮瓶頸，代表元件速度已達極限。未來在人工智慧(AI)時代，次世代非揮發性記憶體勢必會快速崛起。

二、次世代非揮發性記憶體

次世代非揮發性記憶體大致可區分爲鐵電記憶體(Ferroelectric Random Access Memory, FRAM) [1]、相變化記憶體(Phase-change Random Access Memory, PRAM) [2]、磁阻式記憶體(Magnetic Random Access Memory, MRAM) [3]與電阻式記憶體(Resistive Random Access Memory, RRAM) [4]，上述元件的研究與應用發展可說是各擅勝場，互有優點與缺點。其中，次世代非揮

發性記憶體的 RRAM 能夠以奈秒(ns)的速度進行電阻轉換，並且能夠在低電流(微安培 μA 至奈安培 nA)下操作，同時具有優異的反覆讀寫能力(Endurance)和記憶保持力(Retention)，可藉由控制寫入電壓大小來改變儲存資料的電阻值達到多位元(multi-bit)儲存於同一元件的優點 [5-8]，如表一所示，使 RRAM 擁有極佳的潛力成爲次世代非揮發性記憶體。

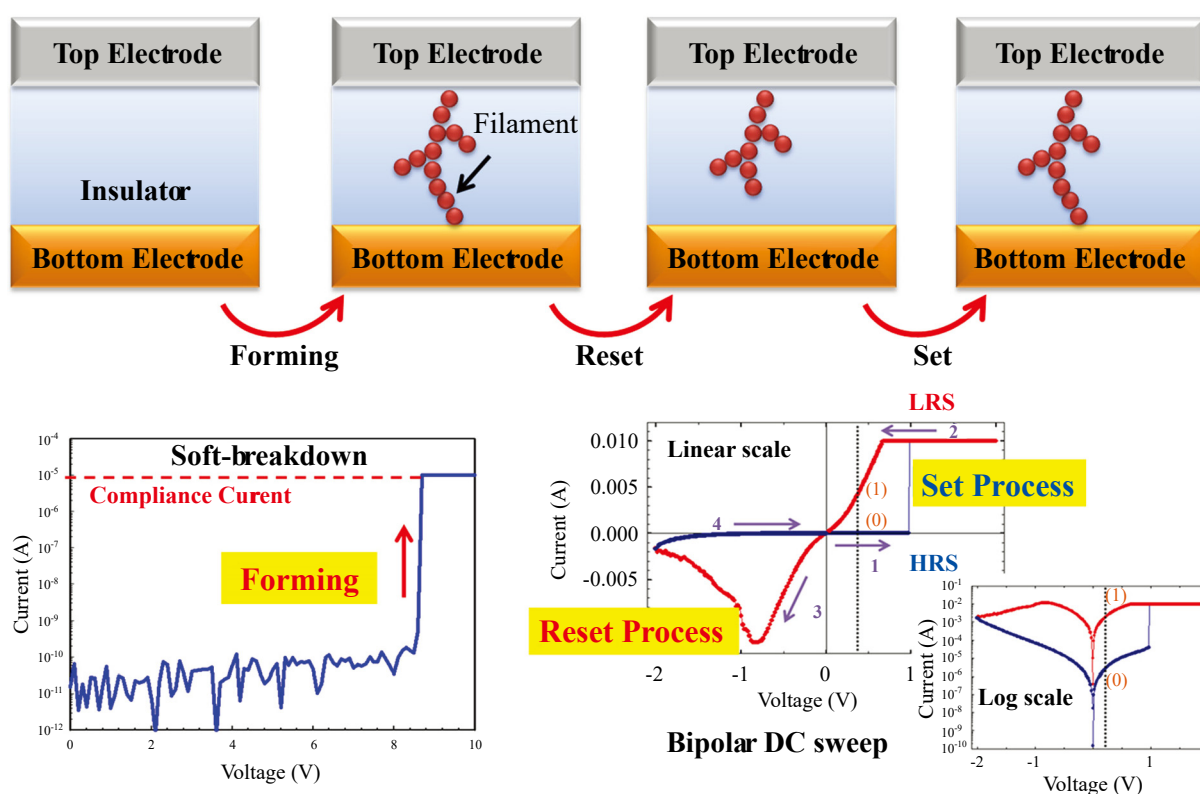
關於 RRAM 的電阻切換機制，雖然已歷經多年研究，亦有許多研究團隊提出轉換機制解釋，卻無一套完整的物理模型解釋所有現象。目前較被大家接受的物理機制爲電阻絲理論(Filament theory)，理論認爲絕緣層中有可導電的物質，當外加偏壓時，這些導電物質移動聚集形成樹枝狀的路徑，如圖一所示，當路徑接通上下電極時，即爲阻絲成形(Forming)，電流藉阻絲路徑大量傳導，此狀態爲低電阻態(Low Resistance State, LRS)，通常達成此步驟需給予一外加限制電流，避免電阻絲過度形成，造成元件永久毀損。若從低電阻態回到高電阻態(High Resistance State, HRS)，此步驟稱之爲 Reset，係指電阻絲的斷裂使電阻再回到較高的電阻狀態。反之，由高電阻態回到低電阻態，僅需要較小電壓即可將斷裂電阻絲重新連接，此步驟稱之爲 Set，再藉由電阻值高低判讀 0 與 1 訊號。

二、電阻式記憶體發展

目前 RRAM 在材料選擇、結構開發及實際應用所面臨最大的問題，即對電阻切換過程之物理機制，尙未有統一且明確的理論，其中又以 1. Forming Process、2. Set Process、3. Reset Process 三個轉態行爲的物理機制最爲關鍵。本研究團隊長期致力於 RRAM 發展，藉由 RRAM 物理切換機制的釐清，開發高效能的 RRAM 元件，若研究出適用於所有 RRAM 元件之統整性物理模型(Universal Model)，將有助於 RRAM 推向產業

表一 電阻式記憶體(RRAM)與其他記憶體元件之基本特性比較圖

	Mainstream Memories				Emerging Memories		
	SRAM	DRAM	FLASH		STTMRAM	PCRAM	RRAM
			NOR	NAND			
Cell Area	$>100F^2$	$6 F^2$	$10 F^2$	$<4 F^2 (3D)$	$6\sim 20 F^2$	$<4 F^2 \text{ if } 3D$	$<4 F^2 \text{ if } 3D$
Multi-bit	1	1	2	3	1	2	2
Voltage	$<1V$	$<1V$	$>10V$	$>10V$	$<2V$	$<3V$	$<3V$
Read Time	$\sim 1ns$	$\sim 10ns$	$\sim 50ns$	$\sim 10\mu s$	$<10ns$	$<10ns$	$<10ns$
Write Time	$\sim 1ns$	$\sim 10ns$	$10\mu s\sim 1ms$	$100\mu s\sim 1ms$	$<5ns$	$\sim 50ns$	$<10ns$
Retention	N/A	$\sim 64 \text{ ms}$	$>10y$	$>10y$	$>10y$	$>10y$	$>10y$
Endurance	$>1E16$	$>1E16$	$>1E5$	$>1E4$	$>1E15$	$>1E9$	$\sim 1E12$
Write Energy (J/bit)	$\sim fJ$	$\sim 10fJ$	$100pJ$	$\sim 10fJ$	$\sim 0.4pJ$	$\sim 10pJ$	$\sim 0.1pJ$

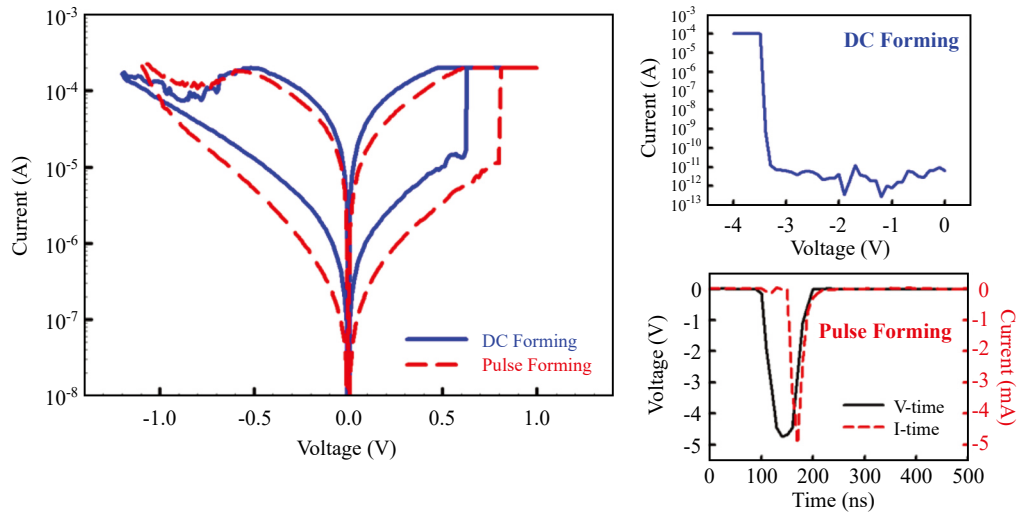


圖一 RRAM 操作之 Forming、SET 與 RESET 過程

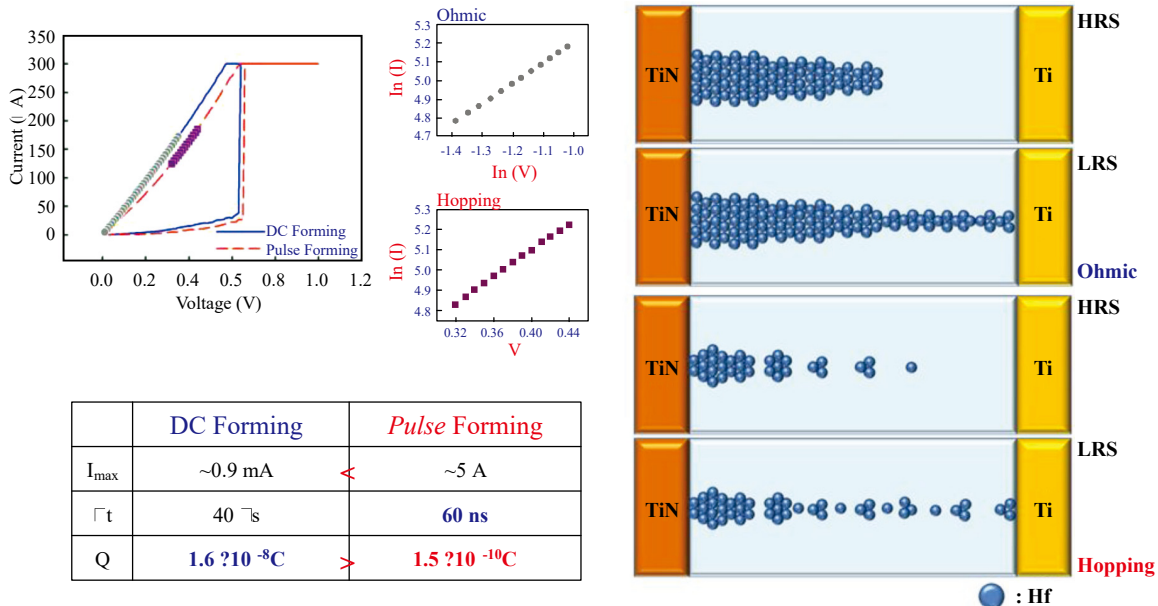
化，因此極具研究價值。

在 RRAM 阻絲成形(Forming)的過程，本團隊提出電荷量模型(Charge Quantity Model) [9]解釋傳導機制的差異。此研究透過直流(DC)或交流(AC)電壓對 RRAM 元件進行 Forming process 操作，我們觀察到使用 AC mode 進行 Forming，會使元件操作電流大幅下降，如圖二所示。進一步在 LRS 觀察到截然不同的電流傳導機制：利用

DC mode 進行 Forming 之元件，在 LRS 呈現歐姆(Ohmic)傳導機制；而利用脈衝(Pulse mode)進行 Forming 之元件，在 LRS 呈現跳躍(Hopping)傳導機制。此差異係 RRAM 元件在 DC mode 通過之電荷量遠大於 Pulse mode，如圖三所示，這表示在 Forming 過程中，通過元件之電荷量會使得電阻絲形成之連續性不同，進而使得元件在 LRS 之電流傳導機制改變。本研究釐清 RRAM



圖二 RRAM 元件的 Forming 模式，會影響元件的電流傳導特性



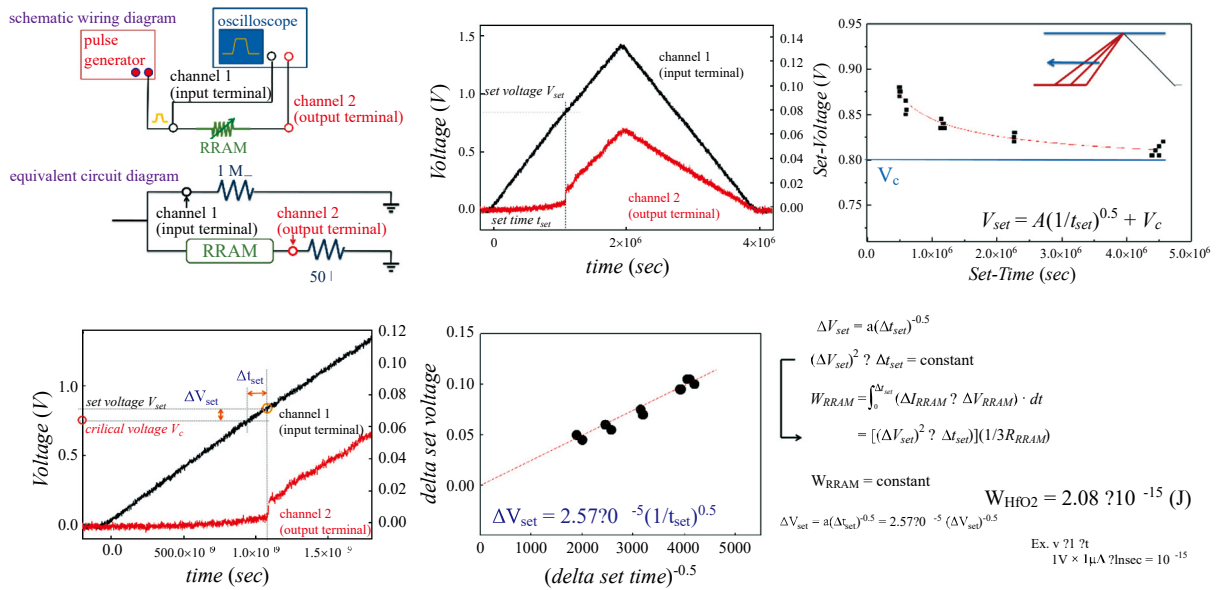
圖三 本團隊提出 RRAM 在 Forming 過程之 Charge Quantity Model 模型

在 Forming 過程中，通過電荷量多寡將會影響 RRAM 元件在操作時的電流傳導機制。

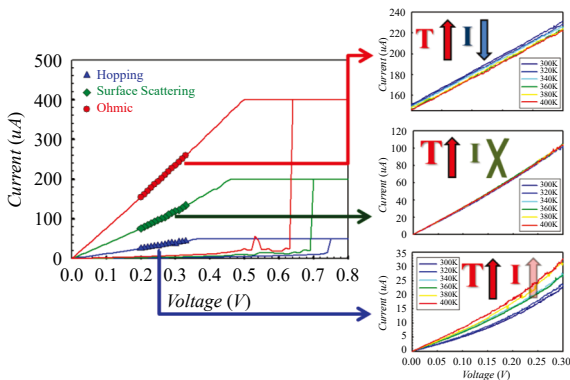
在 Set process 中，本團隊研究 Set 轉態電壓與轉態時間之關係，由此結果證明電阻式記憶體元件之轉態能量為定值，並建立「轉態能量定值物理模型」[10]。此模型的建立，有助於電阻式記憶體電路的設計與精準控制元件的操作條件。本團隊提出定能量模型(Constant Energy Model)：利用改變不同的脈衝(Pulse)升壓時間對元件進行 Set 操作，發現 RRAM 之 Set 電壓會趨近於

一臨界值(V_c)，如圖四(c)所示。接下來利用超過臨界值(V_c)之不同的 Set 電壓與時間條件，發現 Set 電壓與時間有一特定的數學關係，經過計算推導得知，此 Set 過程所需之能量為某一定值，如圖四(e)所示。本研究證明 RRAM 在 Set 過程中，所需之電壓有一最小臨界值，同時代表轉態能量為一定值。

此外，關於 Set process 中導通路徑形成時的動態過程，本團隊利用改變不同的 Set process 限制電流(Compliance Current)讓導通路徑形成三

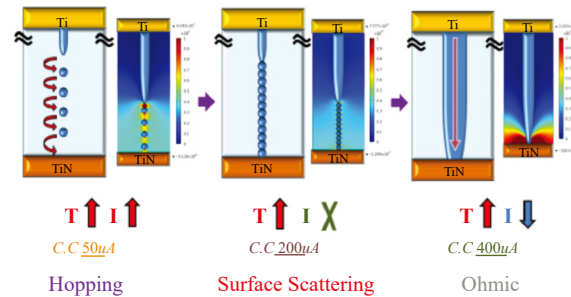


圖四 本研究團隊發現 RRAM 在 Set Process 操作上有一臨界電壓(V_c)。證明 RRAM 在 Set 過程中，所需之電壓有一最小臨界值；即轉態能量為一定值



圖五 改變限流值高低發現 RRAM 對溫度具有截然不同的相關性

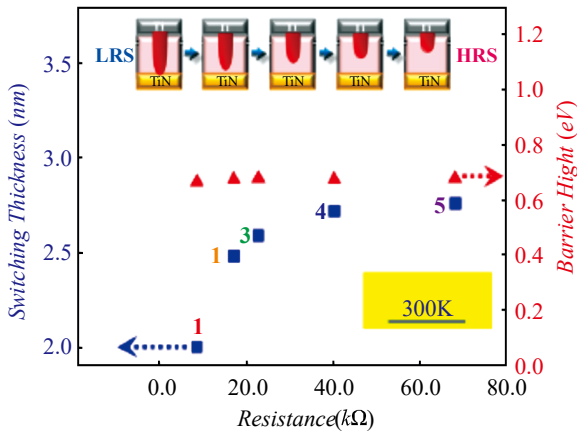
種不同狀態[11]，在 LRS 觀察到三種不同的電流傳導機制。其中，最高限制電流狀態下在 LRS 呈現歐姆(Ohmic)傳導機制，經變溫量測後發現其電流與溫度確實為負相關；而最低限制電流狀態在 LRS 呈現跳躍(Hopping)傳導機制，經變溫量測後發現其電流與溫度確實為正相關。值得注意的是，在介於最高與最低電阻狀態時，其電流與溫度卻無相關性，如圖五所示。本團隊提出模型解釋：在導通路徑由不連續長成連續(Hopping→Ohmic 傳導機制)的過程會經過一個介於連續與不連續的狀態，此狀態的電流行為是被表面散射所決定，所以才能觀察到其電流與溫度並無相關



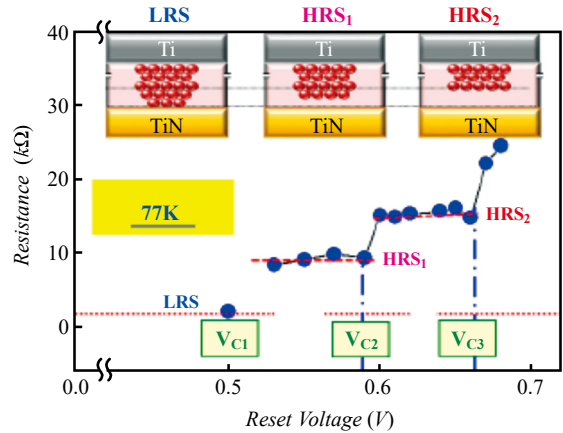
圖六 透過電性與電場模擬可以發現到在阻絲正要連通時，會呈現表面散射機制

性，如圖六所示。

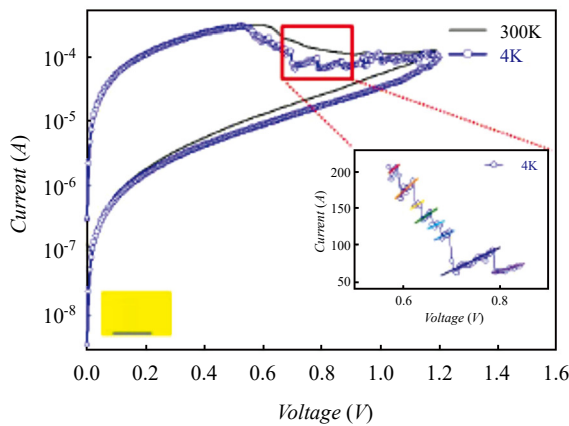
在 Reset process 中，本團隊研究導通路徑的動態過程並利用電性量測的方式進一步證實此導通路徑為一金屬阻絲，並提出 Atomic Level Quantized Reaction Model [12]：首先在常溫(300K)下，利用不同的 Reset 電壓條件讓元件的 HRS 到達不同電阻值，並對其蕭特基傳導距離(Schottky distance, d)與能障高度(Barrier height, Φ_B)進行分析，如圖七所示。在 Reset 過程中，因 d 持續變大且 Φ_B 不變，得知導通路徑退縮且材料性質不變；進一步在低溫下(77K)量測，發現 RRAM 的阻態對電壓有一階層效應，對此現象我們認為在 Reset 過程中，阻絲為原子層的逐層剝除，如圖八所示；進一步在極低溫下(4K)量測，



圖七 在常溫下，利用不同的 Reset 電壓條件讓元件的 HRS 到達不同電阻值

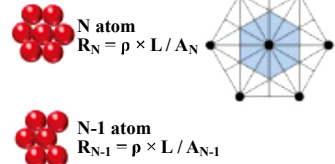


圖八 在低溫下(77K)量測，發現 RRAM 的阻態對電壓有階層效應



$$R = \rho \times L / A \quad (A \propto N)$$

$$R_{N-1} / R_N = N / N-1$$

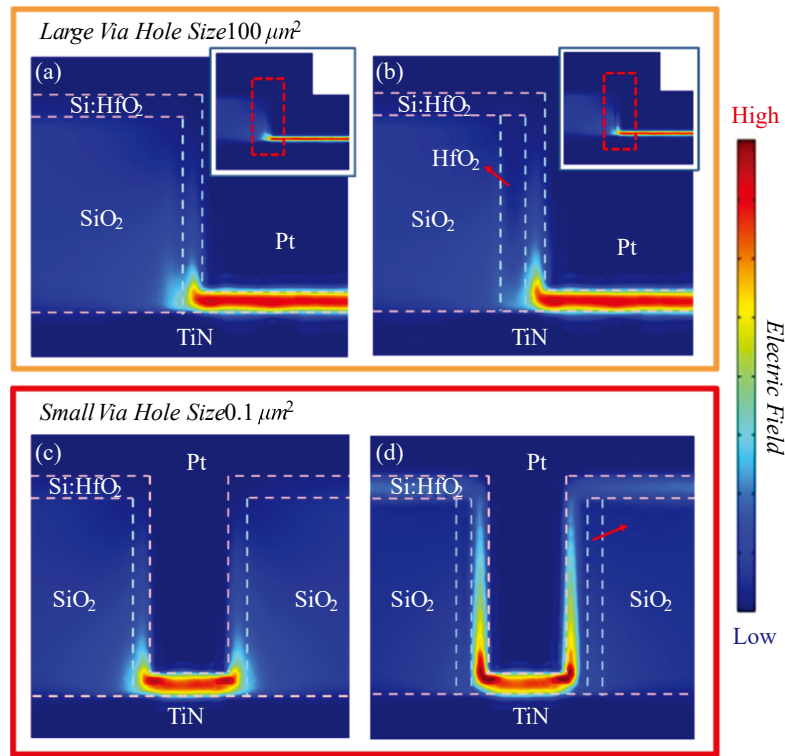


圖九 在極低溫下(4K)量測，發現電流呈現量子化現象

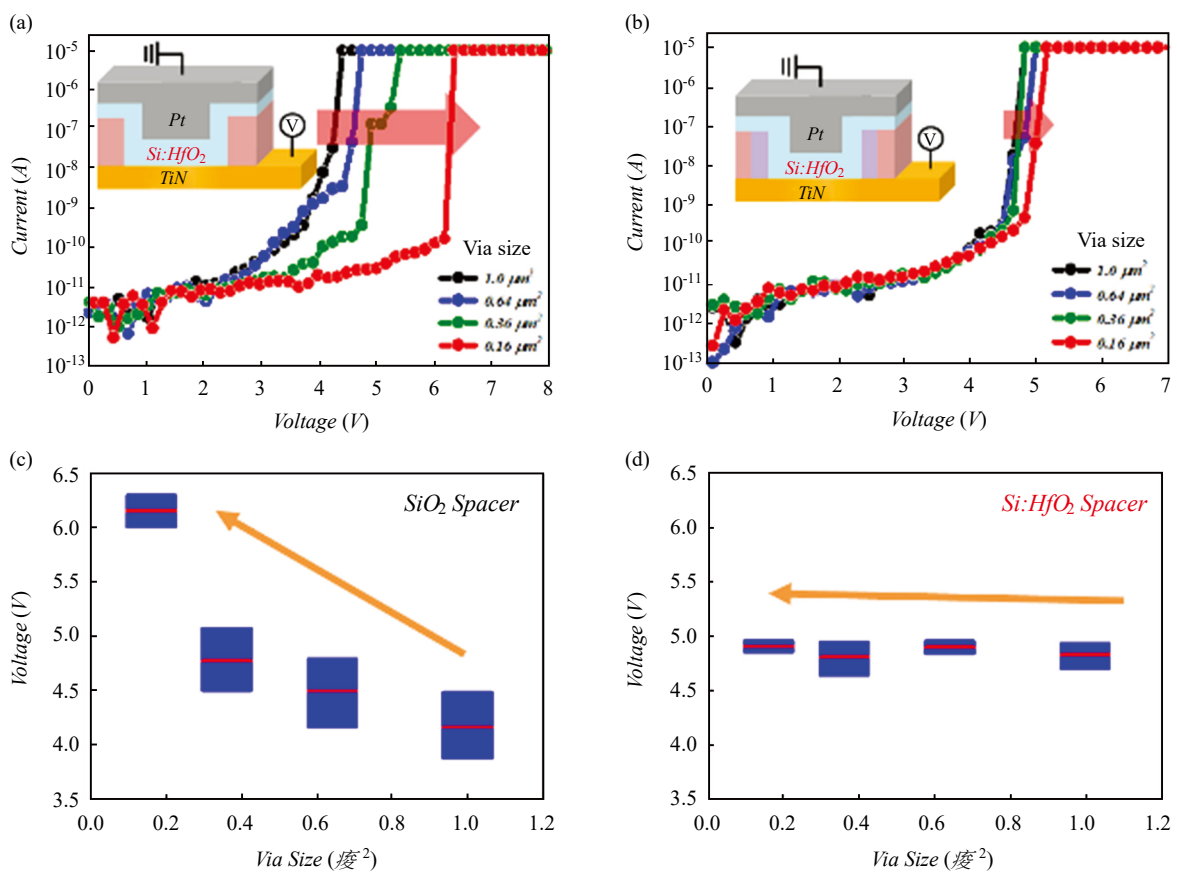
可觀察到電流的量子化現象，即 Reset 過程中，原子為逐顆移除，進一步透過理論計算方式得出電阻與移除原子顆數的關係。將量測結果帶入假設的模型當中發現完全符合所提出之物理機制模型，進一步利用理論計算的方式得知此一導通路徑便為鈹(Hf)金屬細絲，如圖九所示。本研究利用低溫量測，驗證 RRAM 在 Reset 過程中之量子化現象並證實此導通路徑為一金屬阻絲，對於研究 RRAM 之 Reset 機制有突破性的發展。

基於上列所提出的 RRAM 切換機制模型，本研究團隊創新發展 RRAM 新穎結構與材料，解決 RRAM 相關議題。由於 Forming 是 RRAM

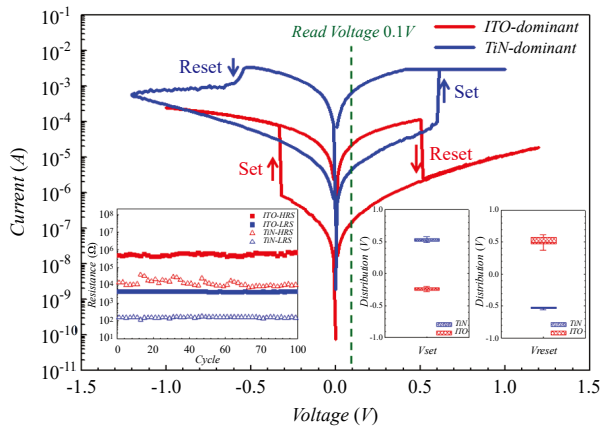
不可或缺的過程，多年來各研究團隊致力於發展低 Forming 電壓的 RRAM。然而在先前的研究結果顯示，隨著 RRAM 元件尺寸的微縮下，Forming 電壓有上升的趨勢[13]。經本團隊以軟體模擬 RRAM 內電場分布，發現在尺寸微縮的 RRAM 元件中，中間層的電場分布影響相當重要。如圖十所示，施加的外部電場會因為 RRAM 尺寸的微縮，導致從側壁逸散的電場增加，進而使 Forming 電壓會隨著尺寸微縮而上升。本研究團隊利用高介電質(High-K)材料作為側壁，電場可以更容易被侷限在 RRAM 操作的區域，這將有效降低 Forming 電壓的尺寸效應，如圖十一所



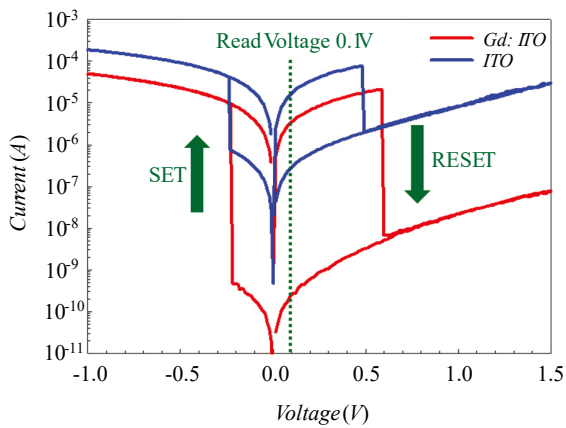
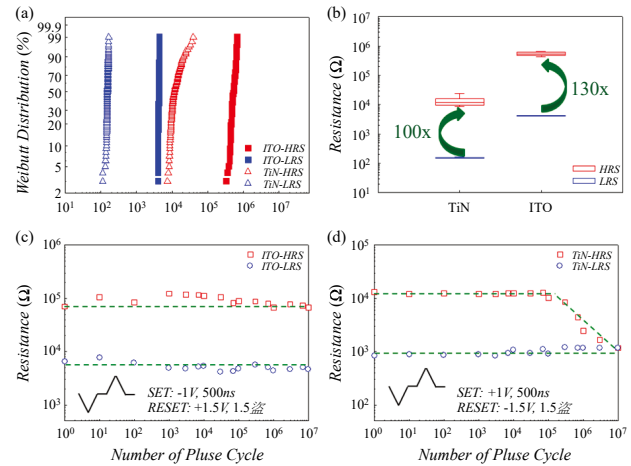
圖十 利用軟體模擬 RRAM 元件 Forming 過程之電場分布情形



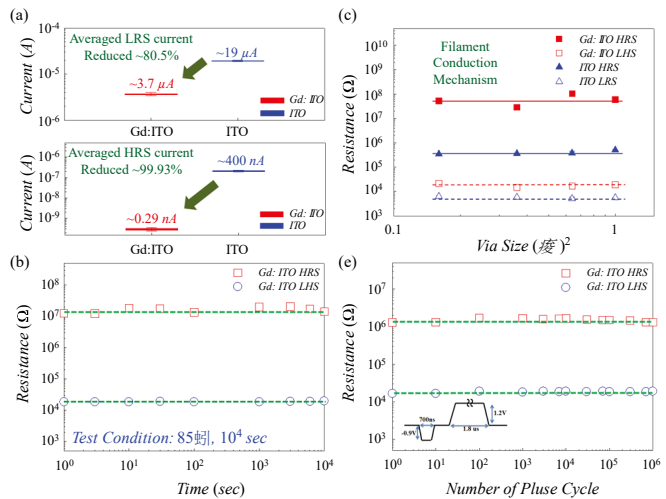
圖十一 利用 High-K 材料做為中間層，側壁可抑制 Forming 電壓的尺寸效應



圖十二 以 ITO 材料為電極，可以有較低的操作功耗與穩定的電阻切換特性



圖十三 在 ITO 電極中摻入重元素以改善特性，發展出一兼具低電流與高記憶窗口 RRAM



示[14]。

此外，本研究團隊引入透明金屬導電膜運用於 RRAM 中作為電極，發現相較一般金屬電極，具有更為穩定的電阻切換特性。利用 Indium Tin Oxide (ITO)材料為電極，RRAM 切換特性產生自我限流現象，在毋須外在限制電流狀態下，RRAM 可以穩定操作，且操作電壓均較一般金屬電極來得小，如圖十二所示[15]。而本研究團隊在 ITO 電極中摻入重元素(如 Gd、Er)藉以改善電極特性，發展出一兼具低電流與高記憶窗口的電阻式記憶體 (如圖十三) [16]。不僅如此，運用 ITO 材料為基礎進行成分的調變與處理，發現 ITO 材料經由氣體摻雜產生接近絕緣體之特性，並可以做為 RRAM 中間層使用，並具備良好的

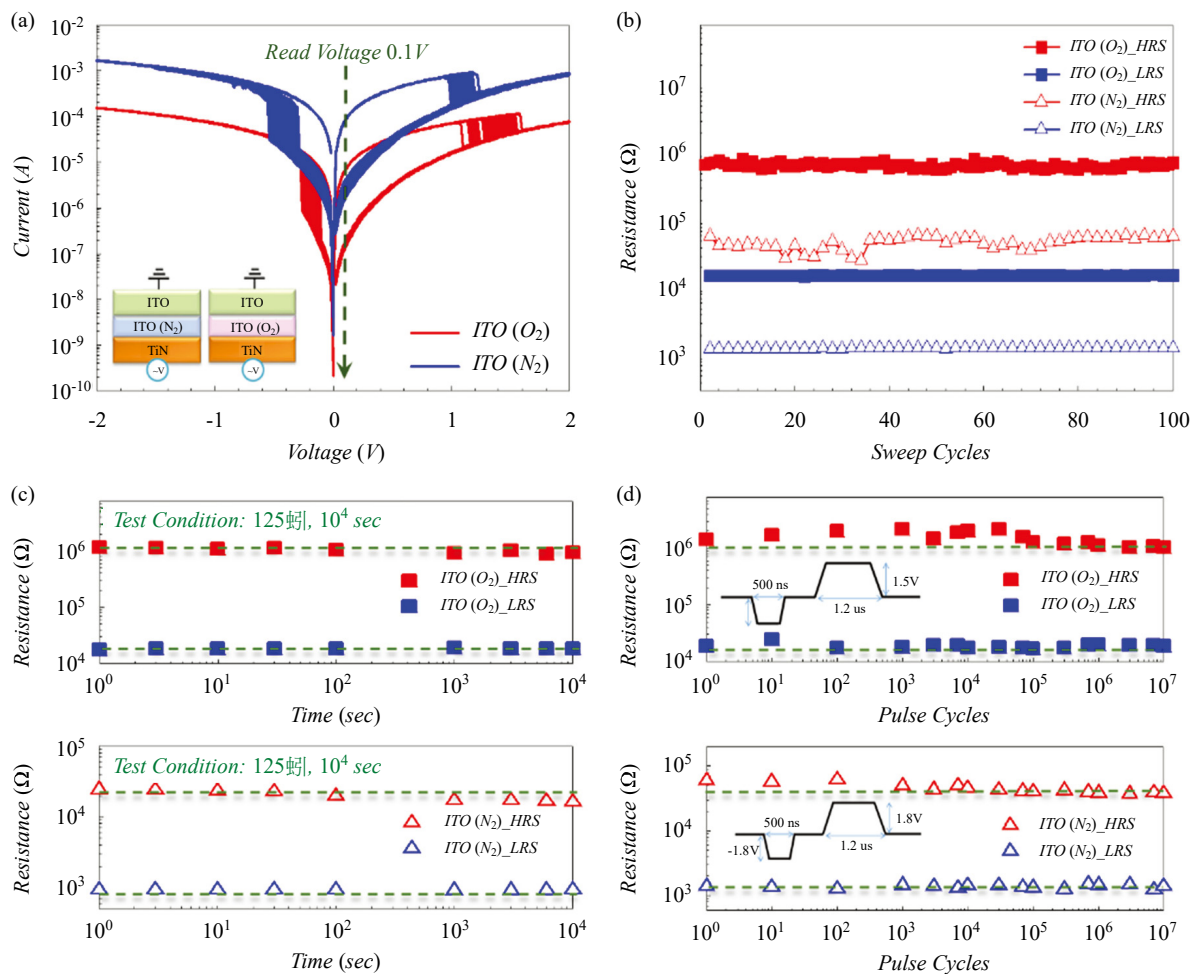
切換特性，如圖十四所示[17]。

三、結論

本研究團隊已長期致力於次世代電阻式記憶體發展與物理機制研究，利用完善的電性量測技術，結合製程與材料分析設備，完善分析電阻式記憶體的電阻切換機制，期藉由各種物理機制的釐清，解決 RRAM 發展可能遇到的各種議題。

致謝

感謝科技部高屏地區奈米核心設施實驗室與國立中山大學奈米科技中心提供相關設備與儀器分析；科技部研究計畫 MOST-103-2112-M-



圖十四 利用氣氮摻雜的 ITO 做為 RRAM 之中間層擁有良好的電阻切換性能

110-011-MY3、MOST-105-2221-E-009-131-MY2、MOST-106-2112-M-110-008-MY3、MOST-106-2119-M-110-003 等計畫提供相關研究經費。

參考文獻

- [1] J. F. Scott, Science, 315, 954 (2007).
- [2] M. Wuttig and N. Yamada, Nat. Mater., 6, 824 (2007).
- [3] J. G. Zhu, Y. F. Zheng and G. A. Prinz, J. Appl. Phys., 87, 6668 (2000).
- [4] R. Waser, R. Dittmann, G. Staikov and K. Szot, Adv. Mater., 21, 2632 (2009).
- [5] H. Akinaga and H. Shima, Proc. IEEE, 98, 2237 (2010).
- [6] A. Sawa, Mater. Today, 11, 28 (2008).
- [7] T. C. Chang, K. C. Chang, T. M. Tsai, T. J. Chu and S. M. Sze, Mater. Today, 19, 254 (2016).
- [8] K. M. Kim, D. S. Jeong and C.S. Hwang, Nanotechnology, 22, 254002 (2011).
- [9] T. J. Chu, T. C. Chang, T. M. Tsai, K. C. Chang, Y. E. Syu, G. W. Chang, Y. F. Chang, M. C. Chen, J. H. Lou, J. H. Pan, J. Y. Chen, Y. H. Tai, C. Ye, H. Wang and S. M. Sze, IEEE Electron Device Lett., 34, 502 (2013).
- [10] Y. E. Syu, T. C. Chang, T. M. Tsai, Y. C. Hung, K. C. Chang, M. J. Tsai, M. J. Kao and S. M. Sze, IEEE Electron Device Lett., 32, 545 (2011).
- [11] Y. T. Su, K. C. Chang, T. C. Chang, T. M. Tsai, R. Zhang, J. C. Lou, J. H. Chen, T. F. Young, K. H. Chen, B. H. Tseng, C. C. Shih, Y. L. Yang, M. C. Chen, T. J. Chu, J. H. Pan, Y. E. Syu and S. M. Sze, Appl. Phys. Lett., 103, 163502 (2013).

- [12] Y. E. Syu, T. C. Chang, J. H. Lou, T. M. Tsai, K. C. Chang, M. J. Tsai, Y. L. Wang, M. Liu and S. M. Sze, *Appl. Phys. Lett.*, 102, 172903 (2013).
- [13] P. S. Chen, Y. S. Chen, H. Y. Lee, T. Y. Wu, K. H. Tsai, P. Y. Gu, W. S. Chen, C. H. Tsai, F. Chen and M. J. Tsai, *Microelectron. Eng.*, 105, 40 (2013).
- [14] Y. T. Tseng, P. H. Chen, T. C. Chang, K. C. Chang, T. M. Tsai, C. C. Shih, H. C. Huang, C. C. Yang, C. Y. Lin, C. H. Wu, H. X. Zheng, S. D. Zhang and S. M. Sze, *Adv. Electron. Mater.*, 1700171 (2017).
- [15] P. H. Chen, K. C. Chang, T. C. Chang, T. M. Tsai, C. H. Pan, T. J. Chu, M. C. Chen, H. C. Huang, J. C. Zheng and S. M. Sze, *IEEE Electron Device Lett.*, 37, 280 (2016).
- [16] P. H. Chen, K. C. Chang, T. C. Chang, T. M. Tsai, C. H. Pan, C. Y. Lin, F. Y. Jin, M. C. Chen, H. C. Huang, I. Lo, J. C. Zheng and S. M. Sze, *IEEE Electron Device Lett.*, 37, 584 (2016).
- [17] P. H. Chen, K. C. Chang, T. C. Chang, T. M. Tsai, C. H. Pan, Y. T. Su, C. H. Wu, W. C. Su, C. C. Yang, M. C. Chen, C. H. Tu, K. H. Chen, I. Lo, J. C. Zheng and S. M. Sze, *IEEE Trans. Electron Devices*, 63, 4288 (2016).